

535, 543

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 6 月 3 日 (03.06.2004)

PCT

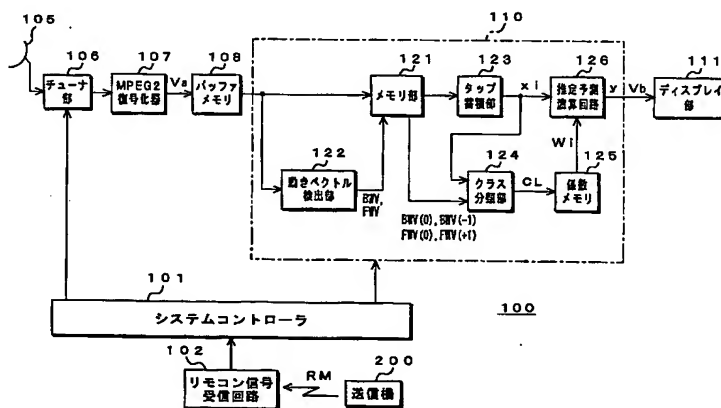
(10) 国際公開番号
WO 2004/047454 A1

- (51) 国際特許分類: H04N 7/32 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/014321 (75) 発明者/出願人 (米国についてのみ): 近藤 哲二郎 (KONDO, Tetsujiro) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 渡辺 勉 (WATANABE, Tsutomu) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
(22) 国際出願日: 2003 年 11 月 11 日 (11.11.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2002-337196
2002 年 11 月 20 日 (20.11.2002) JP
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
(74) 代理人: 山口 邦夫, 外 (YAMAGUCHI, Kunio et al.); 〒101-0047 東京都千代田区内神田 1 丁目 1 5 番 2 号 平山ビル 5 階 Tokyo (JP).
(81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: IMAGE SIGNAL PROCESSING DEVICE AND PROCESSING METHOD, COEFFICIENT DATA GENERATION DEVICE AND GENERATION METHOD USED FOR THE SAME, PROGRAM FOR EXECUTING THE METHODS, AND COMPUTER-READABLE MEDIUM CONTAINING THE PROGRAM

(54) 発明の名称: 画像信号の処理装置および処理方法、それに使用される係数データの生成装置および生成方法、並びに各方法を実行するためのプログラムおよびそのプログラムを記録したコンピュータ読み取り可能な媒体



106...TUNER SECTION
107...MPEG2 DEMODULATOR
108...BUFFER MEMORY
122...MOTION VECTOR DETECTION SECTION
121...MEMORY SECTION
123...TAP ACCUMULATION SECTION
124...CLASS CLASSIFICATION SECTION
126...ESTIMATION PREDICTION CALCULATION CIRCUIT
125...COEFFICIENT MEMORY
111...DISPLAY SECTION
101...SYSTEM CONTROLLER
102...REMOTE CONTROL SIGNAL RECEPTION CIRCUIT
200...TRANSMITTER

(57) Abstract: An image signal processing device can preferably be used for removing an encoded noise from an image signal, for example. A memory section (121) outputs as prediction tap pixel data x_i a plurality of pixel data located at a peripheral position in the spatial direction and temporal direction with respect to a target position in an image signal V_b according to continuous five frames of an image signal V_a . In this case, frames preceding and following the current frame are motion-compensated by a motion vector. A class classification section (124) uses image data x_i and motion vectors $BWV(0)$, $BWV(-1)$, $FWV(0)$, $FWV(+1)$ so as to acquire a class code CL indicating the class to which the pixel data of the target position in the image signal V_b belongs. A calculation circuit (126) uses the pixel data x_i and coefficient data W_i corresponding to the class code CL so as to obtain the pixel data y of the target position in the image signal V_b according to an estimation equation.

(57) 要約: この発明は、例えば画像信号から符号化雑音を除去する際に適用

して好適な画像信号処理装置等に関する。メモリ部 121 は、画像信号 V_a の連続する 5 フレームに基づいて、画像信号 V_b における注目位置に対して空間方向及び時間方向の周辺に位置する複数の画素データを予測タップの画素データ x_i として出力する。この場合、現在フレームの前後のフレームは、動きベクトルにより動き補償される。クラス分類部 124 は、画素データ x_i および動きベクトル $BWV(0)$, $BWV(-1)$, $FWV(0)$, $FWV(+1)$ を用いて、画像信号 V_b における注目位置の画素データ

[続葉有]

WO 2004/047454 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

画像信号の処理装置および処理方法、それに使用される係数データの生成装置および生成方法、並びに各方法を実行するためのプログラムおよびそのプログラム
5 を記録したコンピュータ読み取り可能な媒体

技術分野

この発明は、画像信号の処理装置および処理方法、それに使用される係数データの生成装置および生成方法、並びに各方法を実行するためのプログラムおよび
10 そのプログラムを記録したコンピュータ読み取り可能な媒体に関する。

詳しくは、この発明は、複数のフレームメモリ部に、第1の画像信号の連続する複数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶しておき、現在フレームが記憶されているフレームメモリ部から第2の画像信号における注目位置に対して空間方向の周辺に位置する
15 複数の画素データを選択すると共に、現在フレームの前後のフレームが記憶されているフレームメモリ部から、複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択し、これら選択された複数の画素データを用いて第2の画像信号における注目位置の画素データを生成することによって、第2の画像信号の品質の向上を容易に実現できるようにした画像信号処理装置等に係るものである。
20

背景技術

画像信号の圧縮符号化方式として、DCT (Discrete Cosine Transform) を用
25 いたMPEG 2 (Moving Picture Experts Group 2) による符号化方式がある。
この符号化方式では、ブロック毎に動き補償予測符号化が行われる。

DCTは、ブロック内の画素に対して離散コサイン変換を施し、その離散コサイン変換により得られた係数データを再量子化し、さらにこの再量子化された係数データを可変長符号化するものである。この可変長符号化には、ハフマン符号

等のエントロピー符号化が用いられることが多い。画像信号は直交変換されることにより、低周波から高周波までの多数の周波数データに分割される。

この分割された周波数データに再量子化を施す場合、人間の視覚特性を考慮し、重要度の高い低周波データに関しては、細かく量子化を施し、重要度の低い高周波のデータに関しては、粗く量子化を施すことで、高画質を保持し、しかも効率が
5 良い圧縮が実現できるという特長を有している。

従来のDCTを用いた復号は、各周波数成分毎の量子化データをそのコードの代表値に変換し、それらの成分に対して逆DCT（IDCT：Inverse DCT）を施すことにより、再生データを得る。この代表値へ変換する時には、符号化時の量子化ステップ幅が使用される。
10

上述のように、DCTを用いたMPEGによる符号化方式では、人間の視覚特性を考慮した符号化を行うことにより、高画質を保持し、高効率の圧縮が実現できるという特長がある。

しかし、DCTを行う符号化はブロックを単位とした処理であることから、圧縮率が高くなるに従い、ブロック状の雑音、いわゆるブロック雑音（ブロック歪み）が発生することがある。また、エッジ等の急激な輝度変化がある部分には、高周波成分を粗く量子化したことによるざわざわとした雑音、いわゆるモスキート雑音が発生する。
15

これらブロック雑音、モスキート雑音等の符号化雑音を、クラス分類適応処理によって除去することが考えられる。すなわち、符号化雑音を含む画像信号を第1の画像信号とし、符号化雑音が除去された画像信号を第2の画像信号とし、第2の画像信号における注目位置の画素データが属するクラスを検出し、このクラスに対応して第2の画像信号における注目位置の画素データを生成するものである。
20

この場合、第1の画像信号に基づいて第2の画像信号における注目位置に対して空間方向の周辺だけでなく時間方向の周辺にも位置する複数の画素データを選択し、この複数の画素データを用いて第2の画像信号における注目位置の画素データを生成することで、第2の画像信号の品質を高めることが可能となる。しかしその場合に、時間方向の周辺に位置する複数の画素データとして、注目位置に
25

対して空間方向の周辺に位置する複数の画素データと相関の高いものを選択して用いる必要がある。

発明の開示

- 5 この発明の目的は、第2の画像信号の品質の向上を容易に実現し得る画像信号処理装置等を提供することにある。

 この発明に係る画像信号処理装置は、複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する画像信号処理装置であって、第1の画像信号の連続する複数のフレームの画素データを、この画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する複数のフレームメモリ部と、この複数のフレームメモリ部に記憶されている複数のフレームに基づいて、第2の画像信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択するデータ選択手段と、このデータ選択手段で選択された複数の画素データを用いて、第2の画像信号における注目位置
10 の画素データを生成する画素データ生成手段とを備え、データ選択手段は、第2の画像信号における注目位置が存在するフレームと対応する第1の画像信号の現在フレームが記憶されているフレームメモリ部からこの注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、現在フレームの前および後のフレームが記憶されているフレームメモリ部から、複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択するものである。
15

 また、この発明に係る画像信号処理方法は、複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する画像信号処理方法であって、複数のフレームメモリ部に、第1の画像信号の連続する複数のフレームの画素データを、この画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する第1のステップと、複数のフレームメモリ部に記憶されている複数のフレームに基づいて、第2の画像信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択する第2のステッ
20

プと、この第2のステップで選択された複数の画素データを用いて、第2の画像信号における注目位置の画素データを生成する第3のステップとを備え、第2のステップでは、第2の画像信号における注目位置が存在するフレームと対応する第1の画像信号の現在フレームが記憶されているフレームメモリ部からこの注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、現在フレームの前および後のフレームが記憶されているフレームメモリ部から、複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択するものである。

また、この発明に係るプログラムは、上述の画像信号処理方法をコンピュータに実行させるためのものである。また、この発明に係るコンピュータ読み取り可能な媒体は、上述のプログラムを記録したものである。

この発明においては、複数のフレームメモリ部に、第1の画像信号の連続する複数のフレームの画素データが、この画素データに対応した隣接フレームとの間の動きベクトルと共に記憶される。

そして、複数のフレームメモリ部に記憶されている複数のフレームに基づいて、第2の画像信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データが選択される。

この場合、第2の画像信号における注目位置が存在するフレームと対応する第1の画像信号の現在フレームが記憶されているフレームメモリ部から、この注目位置に対して空間方向の周辺に位置する複数の画素データが選択される。また、現在フレームの前および後のフレームが記憶されているフレームメモリ部から、複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データが選択される。

そして、この選択された複数の画素データを用いて第2の画像信号における注目位置の画素データが選択される。例えば、以下のようにして注目位置の画素データが生成される。すなわち、第2の画像信号における注目位置の画素データが属するクラスが検出され、この検出されたクラスに対応した推定式の係数データ

が発生される。そして、発生された係数データおよび選択された複数の画素データを用いて、推定式に基づいて、第2の画像信号における注目位置の画素データが算出される。

5 複数のフレームメモリ部に画素データと共に記憶された動きベクトルにより現在フレームの前後のフレームの動き補償を行って、現在フレームの前後のフレームから選択された複数の画素データを、現在フレームから選択された複数の画素データとの相関が高いものとするものであり、第2の画像信号の品質の向上を容易に実現できる。

10 なお、少なくとも、上述したように選択された複数の画素データを用いて、第2の画像信号における注目位置の画素データが属するクラスを検出するようにしてもよい。これにより、第2の画像信号における注目位置の画素データを生成する際に用いられる複数の画素データに対応した時空間クラスを良好に検出できる。

15 また、フレームメモリ部が複数のバンクで構成されるようにし、複数のバンクのそれぞれには、フレームを複数の小ブロックが二次元的に配置されてなる大ブロックを単位として分割し、この大ブロックの異なる位置の小ブロックを記憶するようにしてもよい。これにより、第2の画像信号における注目位置の画素データを生成する際に用いられる複数の画素データを複数のバンクから並行して読み出すことができ、画素データの生成速度を高めることができる。

20 この発明に係る係数データ生成装置は、複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する際に使用される推定式の係数データを生成する装置であって、第1の画像信号に対応する生徒信号の連続する複数のフレームの画素データを、この画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する複数のフレームメモリ部と、この複数のフレームメモリ部に記憶されている複数のフレームに基づいて、第2の画像信号
25 号に対応した教師信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択するデータ選択手段と、このデータ選択手段で選択された複数の画素データおよび教師信号における注目位置の画素データを用いて係数データを求める演算手段とを備え、データ選択手段は、教師信号における注目位置が存在するフレームと対応する生徒信号の現在フレームが記憶され

ているフレームメモリ部からこの注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、現在フレームの前および後のフレームが記憶されているフレームメモリ部から、複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択するものである。

また、この発明に係る係数データ生成方法は、複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する際に使用される推定式の係数データを生成する方法であって、複数のフレームメモリ部に、第1の画像信号に対応する生徒信号の連続する複数のフレームの画素データを、この画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する第1のステップと、複数のフレームメモリ部に記憶されている複数のフレームに基づいて、第2の画像信号に対応した教師信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択する第2のステップと、この第2のステップで選択された複数の画素データおよび教師信号における注目位置の画素データを用いて係数データを求める第3のステップとを備え、第2のステップでは、教師信号における注目位置が存在するフレームと対応する生徒信号の現在フレームが記憶されているフレームメモリ部からこの注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、現在フレームの前および後のフレームが記憶されているフレームメモリ部から、複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択するものである。

また、この発明に係るプログラムは、上述の係数データ生成方法をコンピュータに実行させるためのものである。また、この発明に係るコンピュータ読み取り可能な媒体は、上述のプログラムを記録したものである。

この発明において、複数のフレームメモリ部に、生徒信号の連続する複数のフレームの画素データが、この画素データに対応した隣接フレームとの間の動きベクトルと共に記憶される。

そして、複数のフレームメモリ部に記憶されている複数のフレームに基づいて、

教師信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データが選択される。そして、この選択された複数の画素データおよび教師信号における注目位置の画素データを用いて、係数データが求められる。

この場合、教師信号における注目位置が存在するフレームと対応する生徒信号の現在フレームが記憶されているフレームメモリ部から、この注目位置に対して空間方向の周辺に位置する複数の画素データが選択される。また、現在フレームの前および後のフレームが記憶されているフレームメモリ部から、複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データが選択される。

上述したようにして第1の画像信号を第2の画像信号に変換する際に使用される推定式の係数データが生成されるが、第1の画像信号から第2の画像信号に変換する際には、その係数データが使用されて、推定式により、第2の画像信号における注目位置の画素データが算出される。これにより、推定式を使用して第1の画像信号から第2の画像信号に変換する場合に、第2の画像信号の品質の向上を容易に実現できる。

図面の簡単な説明

図1は、実施の形態としてのデジタル放送受信機の構成を示すブロック図である。

図2は、MPEG2復号化器の構成を示すブロック図である。

図3は、メモリ部の構成を示すブロック図である。

図4は、フレームメモリ部を構成するバンクを説明するための図である。

図5は、フレームのブロック分割を説明するための図である。

図6A及び図6Bは、各バンクからのブロックの読み出しを説明するための図である。

図7A、図7B、図7C及び図7Dは、各バンクの読み出されたブロックからの画素データの取り出し例を示す図である。

図8は、予測タップの各フレームの画素データの位置関係を示す図である。

図 9 は、クラス分類部の構成を示すブロック図である。

図 10 は、係数データ生成装置の構成を示すブロック図である。

図 11 は、ソフトウェアで実現するための画像信号処理装置の構成例を示すブロック図である。

5 図 12 は、画像信号処理を示すフローチャートである。

図 13 は、係数データ生成処理を示すフローチャートである。

発明を実施するための最良の形態

以下、図面を参照しながら、この発明の実施の形態について説明する。図 1 は、
10 実施の形態としてのデジタル放送受信機 100 の構成を示している。

このデジタル放送受信機 100 は、マイクロコンピュータを備え、システム全体の動作を制御するためのシステムコントローラ 101 と、リモートコントロール信号 RM を受信するリモコン信号受信回路 102 とを有している。リモコン信号受信回路 102 は、システムコントローラ 101 に接続されている。このリモ
15 コン信号受信回路 102 は、リモコン送信機 200 よりユーザの操作に応じて出力されるリモートコントロール信号 RM を受信し、その信号 RM に対応する操作信号をシステムコントローラ 101 に供給する。

また、デジタル放送受信機 100 は、受信アンテナ 105 と、チューナ部 106 とを有している。チューナ部 106 には、受信アンテナ 105 で捕らえられた
20 放送信号（RF 変調信号）が供給される。このチューナ部 106 は、放送信号に対して、選局処理、復調処理および誤り訂正処理等を行って、所定番組に係る符号化された画像信号としての MPEG 2 ストリームを取得する。

また、デジタル放送受信機 100 は、このチューナ部 106 より出力される MPEG 2 ストリームを復号化して画像信号 Va を得る MPEG 2 復号化器 107
25 と、この MPEG 2 復号化器 107 より出力される画像信号 Va を一時的に格納するバッファメモリ 108 とを有している。

図 2 は、MPEG 2 復号化器 107 の構成を示している。

この復号化器 107 は、MPEG 2 ストリームが入力される入力端子 71 と、この入力端子 71 に入力された MPEG 2 ストリームを一時的に格納するストリ

ームバッファ 72 とを有している。

また、この復号化器 107 は、DCT 係数抽出回路 73 と、可変長復号化回路 74 とを有している。抽出回路 73 は、ストリームバッファ 72 に格納されている MPEG2 ストリームより、周波数係数としての DCT (Discrete Cosine Transform: 離散コサイン変換) 係数を抽出する。可変長復号化回路 74 は、抽出回路 73 で抽出された可変長符号化、例えばハフマン符号化されている DCT 係数に対して、可変長復号化を行う。

また、この復号化器 107 は、量子化特性指定情報抽出回路 75 と、逆量子化回路 76 と、逆 DCT 回路 77 とを有している。抽出回路 75 は、ストリームバッファ 72 に格納されている MPEG2 ストリームより量子化特性指定情報 QI を抽出する。逆量子化回路 76 は、量子化特性指定情報 QI に基づいて、可変長復号化回路 74 より出力される量子化 DCT 係数に対して、逆量子化を行う。逆 DCT 回路 77 は、逆量子化回路 76 より出力される DCT 係数に対して逆 DCT を行う。

また、復号化器 107 は、予測メモリ回路 78 を有している。この予測メモリ回路 78 は、I ピクチャ (Intra-Picture) および P ピクチャ (Predictive-Picture) の画素データをメモリ (図示せず) に記憶し、またこれらの画素データを用いて、逆 DCT 回路 77 から P ピクチャまたは B ピクチャ

(Bidirectionally predictive-Picture) の残差データが出力されるとき、対応するリファレンスデータ Vref を生成して出力する。

また、復号化器 107 は、加算回路 79 を有している。この加算回路 79 は、逆 DCT 回路 77 から P ピクチャまたは B ピクチャの残差データが出力されるとき、その残差データに予測メモリ回路 78 で生成されたリファレンスデータ Vref を加算する。なお、逆 DCT 回路 77 から I ピクチャの画素データが出力されるとき、予測メモリ回路 78 から加算回路 79 にリファレンスデータ Vref は供給されず、従って加算回路 79 からは逆 DCT 回路 77 より出力される I ピクチャの画素データがそのまま出力される。

また、復号化器 107 は、ピクチャ選択回路 80 と、出力端子 81 とを有している。ピクチャ選択回路 80 は、加算回路 79 より出力される I ピクチャおよび

Pピクチャの画素データを予測メモリ回路78に供給してメモリに記憶させると共に、この加算回路79より出力される各ピクチャの画素データを正しい順に並べ直して画像信号Vaとして出力する。出力端子81は、ピクチャ選択回路80より出力される画像信号Vaを出力する。

5 因に、MPEG方式の符号化では、実際のフレーム／フィールドの順番とは異なる順番で符号化が行われている。すなわち、Iピクチャ、Pピクチャの画像信号が先に符号化され、それらの間に挟まれたBピクチャの画像信号はその後に符号化されている。ピクチャ選択回路80は、各ピクチャの画像信号を符号化の順番から実際のフレーム／フィールドの順番に並べ直して出力する。

10 また、復号化器107は、符号化制御情報抽出回路82を有している。この抽出回路82は、ストリームバッファ72に格納されているMPEG2ストリームより符号化制御情報、すなわちピクチャ情報PI、動き補償用ベクトル情報MIを抽出する。

抽出回路82で抽出される動き補償用ベクトル情報MIは予測メモリ回路78
15 に供給される。予測メモリ回路78では、この動き補償用ベクトル情報MIを用いて、リファレンスデータVrefを生成する際に動き補償が行われる。抽出回路82で抽出されるピクチャ情報PIは、予測メモリ回路78、ピクチャ選択回路80に供給される。これら予測メモリ回路78、ピクチャ選択回路80では、このピクチャ情報PIに基づいてピクチャの識別が行われる。

20 図2に示すMPEG2復号化器107の動作を説明する。

ストリームバッファ72に記憶されているMPEG2ストリームが抽出回路73に供給されて周波数係数としてのDCT係数が抽出される。このDCT係数は可変長符号化されており、このDCT係数は可変長復号化回路74に供給されて復号化される。そして、この可変長復号化回路74より出力される各DCTブ
25 ックの量子化DCT係数が逆量子化回路76に供給されて逆量子化が施される。

逆量子化回路76より出力される各DCTブロックのDCT係数に対して逆DCT回路77で逆DCTが施されて各ピクチャのデータが得られる。この各ピクチャのデータは加算回路79を介してピクチャ選択回路80に供給される。この場合、逆DCT回路77からPピクチャまたはBピクチャの残差データが出力さ

れるとき、加算回路 79 で予測メモリ回路 78 より出力されるリファレンスデータ V_{ref} が加算される。そして、加算回路 79 より出力される各ピクチャの画素データはピクチャ選択回路 80 で正しい順に並べ直されて出力端子 81 に出力される。

- 5 図 1 に戻って、また、デジタル放送受信機 100 は、バッファメモリ 108 に記憶されている画像信号 V_a を、ブロック雑音（ブロック歪み）やモスキート雑音などの符号化雑音が低減された画像信号 V_b に変換する画像信号処理部 110 と、この画像信号処理部 110 より出力される画像信号 V_b による画像を表示するディスプレイ部 111 とを有している。ディスプレイ部 111 は、例えば C R
10 T (Cathode-Ray Tube) ディスプレイ、あるいは L C D (Liquid Crystal Display) 等の表示器で構成されている。

図 1 に示すデジタル放送受信機 100 の動作を説明する。

- チューナ部 106 より出力される M P E G 2 ストリームは M P E G 2 復号化器 107 に供給されて復号化される。そして、この復号化器 107 より出力される
15 画像信号 V_a は、バッファメモリ 108 に供給されて一時的に格納される。

バッファメモリ 108 に一時的に格納された画像信号 V_a は画像信号処理部 110 に供給され、符号化雑音が低減された画像信号 V_b に変換される。この画像信号処理部 110 では、画像信号 V_a を構成する画素データから、画像信号 V_b を構成する画素データが生成される。

- 20 画像信号処理部 110 で得られた画像信号 V_b はディスプレイ部 111 に供給される。ディスプレイ部 111 の画面上には、その画像信号 V_b による画像が表示される。

次に、画像信号処理部 110 の詳細を説明する。

- 画像信号処理部 110 は、メモリ部 121 を有している。このメモリ部 121
25 は、バッファメモリ 108 に一時的に格納された画像信号 V_a を入力し、この画像信号 V_a の連続した所定フレーム、ここでは連続した 5 フレームを常に記憶した状態とし、この 5 フレームから予測タップとしての複数の画素データを選択的に出力する。

図 3 は、メモリ部 121 の構成を示している。

このメモリ部 1 2 1 は、6 個のフレームメモリ部 2 1 a ~ 2 1 f と、6 個のデータセクタ 2 2 a ~ 2 2 f と、メモリ W/R 制御回路 2 3 とを有している。

5 フレームメモリ部 2 1 a ~ 2 1 f は、それぞれ、画像信号 V a の 1 フレーム分を記憶し得る容量を持っている。この場合、フレームメモリ部 2 1 a ~ 2 1 f のそれぞれには、1 フレーム分の画素データが記憶されると共に、各画素データに対応した隣接フレームとの間の動きベクトルも記憶される。

この隣接フレームとの間の動きベクトルは、1 フレーム前のフレームとの間の動きベクトル BWV および 1 フレーム後のフレームとの間の動きベクトル FWV からなっている。これらの動きベクトル BWV, FWV は、後述する動きベクトル検出部 1 2 2 において検出される。

15 フレームメモリ部 2 1 a ~ 2 1 f は、それぞれ、複数個のバンクで構成される。本実施の形態においては、図 4 に示すように、バンク 0 ~ バンク 3 までの 4 個のバンクで構成されている。ここで、フレームメモリ部 2 1 a ~ 2 1 f のそれぞれに記憶されるフレームは、図 5 に示すように、「0」~「3」の 4 個の小ブロックが二次元的に配置されてなる大ブロックを単位として分割される。

そして、バンク 0 ~ バンク 3 のそれぞれには、大ブロックの異なる位置の小ブロックが記憶される。つまり、バンク 0 には、大ブロックの「0」の小ブロックのみが記憶される。バンク 1 には、大ブロックの「1」の小ブロックのみが記憶される。バンク 2 には、大ブロックの「2」の小ブロックのみが記憶される。バンク 3 には、大ブロックの「3」の小ブロックのみが記憶される。

20 本実施の形態において、小ブロックは、8 × 8 個の画素データで構成されている。なお例えば、画素データは 8 ビットのデータであり、動きベクトル BWV, FWV はそれぞれ 16 ビットのデータである。

25 バンク 0 ~ バンク 3 は、それぞれ、各小ブロックを構成する 8 × 8 個の画素データを同時に読み出し可能となるように構成される。例えば、各小ブロックを構成する 8 × 8 個の画素データは、メモリ構造は図示せずも、同一のワードラインに接続されたメモリセルに記憶される。

メモリ W/R 制御回路 2 2 は、フレームメモリ部 2 1 a ~ 2 1 f の書き込み、読み出しを制御すると共に、データセクタ 2 2 a ~ 2 2 f におけるデータ選択

を制御する。

フレームメモリ部 21 a ~ 21 f は、画像信号 V a の連続した 5 フレームが常に記憶された状態とされる。そして、これら 5 フレームが記憶された 5 個のフレームメモリ部のそれぞれから、予測タップとしての複数の画素データを取り出すために、それぞれ 4 ブロック分 (16 × 16 個) の画素データが読み出される。

すなわち、あるフレーム期間では、フレームメモリ部 21 a ~ 21 e に連続した $n-2$, $n-1$, n , $n+1$, $n+2$ の 5 フレームが記憶された状態となり、フレームメモリ部 21 f にフレーム $n+3$ の書き込みが行われる。次のフレーム期間では、フレームメモリ部 21 b ~ 21 f に連続した $n-1$, n , $n+1$, $n+2$, $n+3$ の 5 フレームが記憶された状態となり、フレームメモリ部 21 a にフレーム $n+4$ の書き込みが行われる。

また、次のフレーム期間では、フレームメモリ部 21 c ~ 21 f, 21 a に連続した n , $n+1$, $n+2$, $n+3$, $n+4$ の 5 フレームが記憶された状態となり、フレームメモリ部 21 b にフレーム $n+5$ の書き込みが行われる。以下のフレーム期間では、同様に、フレームメモリ部 21 c, 21 d, 21 e, ... に $n+6$, $n+7$, $n+8$, ... のフレームの書き込みが行われる。

あるフレーム期間で、5 個のフレームメモリ部に記憶されている画像信号 V a の連続した 5 フレームのうち、中央のフレームは、画像信号 V b における注目位置が存在するフレームと対応する現在フレーム $f_r(0)$ とされる。

この現在フレーム $f_r(0)$ が記憶されているフレームメモリ部から、注目位置 P (0) に対して空間方向 (水平方向および垂直方向) の周辺に位置する複数の画素データ、本実施の形態においては 5 × 5 個の画素データを取り出すために、この複数の画素データを含む範囲の 4 ブロック分 (16 × 16 個) の画素データが同時に読み出される。

上述の 4 ブロック分の画素データは、上述したバンク 0 ~ バンク 3 からそれぞれ 1 ブロック分の画素データが読み出されて構成される。ここで、5 × 5 個の画素データが図 6 A のケース 0 ~ ケース 3 で示す 4 ブロックの範囲内にある場合には、それぞれ、バンク 0 ~ バンク 3 からは図 6 B のケース 0 ~ ケース 3 の黒点で示すブロックの画素データが読み出される。このことは、以下に述べる、フレー

ム $f_r(-1)$, $f_r(+1)$, $f_r(-2)$, $f_r(+2)$ が記憶されているフレームメモリ部から 4 ブロック分の画素データが読み出される場合においても同様である。

なお、この現在フレーム $f_r(0)$ が記憶されているフレームメモリ部からは、注目位置 $P(0)$ の画素データと対にして記憶されている動きベクトル $BWV(0)$, $FWV(0)$ も読み出される。この動きベクトル $BWV(0)$, $FWV(0)$ は、メモリ W/R 制御回路 23 に供給される。

メモリ W/R 制御回路 23 は、注目位置 $P(0)$ を動きベクトル $BWV(0)$ により動き補償して、現在フレーム $f_r(0)$ の前のフレーム $f_r(-1)$ における上述の注目位置 $P(0)$ に対応した位置 $P(-1)$ を求める。同様に、メモリ W/R 制御回路 23 は、注目位置 $P(0)$ を動きベクトル $FWV(0)$ により動き補償して、現在フレーム $f_r(0)$ の後のフレーム $f_r(+1)$ における上述の注目位置 $P(0)$ に対応した位置 $P(+1)$ を求める。

そして、フレーム $f_r(-1)$ が記憶されているフレームメモリ部から、位置 $P(-1)$ に対して空間方向（水平方向および垂直方向）の周辺に位置する複数の画素データ、本実施の形態においては 5×5 個の画素データを取り出すために、この複数の画素データを含む範囲の 4 ブロック分（ 16×16 個）の画素データが同時に読み出される。

同様に、フレーム $f_r(+1)$ が記憶されているフレームメモリ部から、位置 $P(+1)$ に対して空間方向（水平方向および垂直方向）の周辺に位置する複数の画素データ、本実施の形態においては 5×5 個の画素データを取り出すために、この複数の画素データを含む範囲の 4 ブロック分（ 16×16 個）の画素データが同時に読み出される。

なお、フレーム $f_r(-1)$ が記憶されているフレームメモリ部からは、位置 $P(-1)$ の画素データと対にして記憶されている動きベクトル $BWV(-1)$ も読み出される。一方、フレーム $f_r(+1)$ が記憶されているフレームメモリ部からは、位置 $P(+1)$ の画素データと対にして記憶されている動きベクトル $FWV(+1)$ も読み出される。これら動きベクトル $BWV(-1)$, $FWV(+1)$ は、メモリ W/R 制御回路 23 に供給される。

メモリ W/R 制御回路 23 は、注目位置 $P(-1)$ を動きベクトル $BWV(-1)$ によ

り動き補償して、フレーム $f_r(-1)$ の前のフレーム $f_r(-2)$ における上述の注目位置 $P(0)$ に対応した位置 $P(-2)$ を求める。同様に、メモリ W/R 制御回路 23 は、位置 $P(+1)$ を動きベクトル $FWV(+1)$ により動き補償して、フレーム $f_r(+1)$ の後のフレーム $f_r(+2)$ における上述の注目位置 $P(0)$ に対応した位置 $P(+2)$ を求める。

5 そして、フレーム $f_r(-2)$ が記憶されているフレームメモリ部から、位置 $P(-2)$ に対して空間方向（水平方向および垂直方向）の周辺に位置する複数の画素データ、本実施の形態においては 5×5 個の画素データを取り出すために、この複数の画素データを含む範囲の 4 ブロック分（ 16×16 個）の画素データが同時に読み出される。

10 同様に、フレーム $f_r(+2)$ が記憶されているフレームメモリ部から、位置 $P(+2)$ に対して空間方向（水平方向および垂直方向）の周辺に位置する複数の画素データ、本実施の形態においては 5×5 個の画素データを取り出すために、この複数の画素データを含む範囲の 4 ブロック分（ 16×16 個）の画素データが同時に読み出される。

15 データセクタ 22a ~ 22f は、それぞれ、フレームメモリ部 21a ~ 21f から同時に読み出される 4 ブロック分（ 16×16 個）の画素データから、予測タップとすべき 5×5 個の画素データを選択的に取り出すためのものである。この場合、データセクタ 22a ~ 22f でそれぞれ取り出される 5×5 個の画素データは、それぞれ位置 $P(-2)$, $P(-1)$, $P(0)$, $P(+1)$, $P(+2)$ によって、一
20 義的に決まる。

図 7A のハッチング領域は、図 6A 及び図 6B に示すケース 0 の場合であって、 5×5 個の画素データが 4 ブロックに跨っているときに、予測タップとして取り出される画素データの範囲例を示している。図 7B のハッチング領域は、図 6A 及び図 6B に示すケース 1 の場合であって、 5×5 個の画素データが 4 ブロック
25 に跨っているときに、予測タップとして取り出される画素データの範囲例を示している。

図 7C のハッチング領域は、図 6A 及び図 6B に示すケース 2 の場合であって、 5×5 個の画素データが 4 ブロックに跨っているときに、予測タップとして取り出される画素データの範囲例を示している。図 7D のハッチング領域は、図 6A

及び図 6 B に示すケース 3 の場合であって、 5×5 個の画素データが 4 ブロックに跨っているときに、予測タップとして取り出される画素データの範囲例を示している。

このようにメモリ部 121 は、画像信号 V_a の連続する 5 フレーム $f_r(-2)$, $f_r(-1)$, $f_r(0)$, $f_r(+1)$, $f_r(+2)$ に基づいて、画像信号 V_b における注目位置に対して空間方向（水平方向および垂直方向）および時間方向（フレーム方向）の周辺に位置する複数の画素データを予測タップの画素データとして出力する。

図 8 は、メモリ部 121 より予測タップの画素データとして出力される、各フレームの画素データの位置関係を示している。なお、図 8 においては、図面の簡単化のために、各フレームには画素を示す黒丸を 5×5 個ではなく、 3×3 個のみを示している。

上述したように、フレーム $f_r(-1)$ の位置 $P(-1)$ は注目位置 $P(0)$ を動きベクトル $BWV(0)$ で動き補償して得られた位置であり、またフレーム $f_r(-2)$ の位置 $P(-2)$ は位置 $P(-1)$ を動きベクトル $BWV(-1)$ で動き補償して得られた位置である。同様に、フレーム $f_r(+1)$ の位置 $P(+1)$ は注目位置 $P(0)$ を動きベクトル $FWV(0)$ で動き補償して得られた位置であり、またフレーム $f_r(+2)$ の位置 $P(+2)$ は位置 $P(+1)$ を動きベクトル $FWV(+1)$ で動き補償して得られた位置である。

なお、上述では、予測タップの画素データとして、5 フレーム $f_r(-2)$, $f_r(-1)$, $f_r(0)$, $f_r(+1)$, $f_r(+2)$ のそれぞれから 5×5 個の画素データを取り出すものを示したが、各フレームから取り出す画素データの個数はこれに限定されるものではない。例えば、現在フレーム $f_r(0)$ から取り出す画素データの個数を最も多くし、この現在フレーム $f_r(0)$ から離れたフレームほど取り出す画素データの個数が少なくなるようにしてもよい。

図 1 に戻って、また、画像信号処理部 110 は、動きベクトル検出部 122 を有している。この動きベクトル検出部 122 は、バッファメモリ 108 に記憶されている画像信号 V_a に基づいて、この画像信号 V_a を構成する各画素データに対応した動きベクトル BWV , FWV を検出する。この動きベクトル検出部 122 では、例えば従来周知のブロックマッチング法により動きベクトル BWV , FWV が検出される。

上述したように、動きベクトルBWVは1フレーム前のフレームとの間の動きベクトルであり、FWVは1フレーム後のフレームとの間の動きベクトルである。このように動きベクトル検出部122で検出される動きベクトルBWV、FWVはメモリ部121に供給され、上述したように画素データと対にして記憶される。

5 また、画像信号処理部110は、タップ蓄積部123を有している。このタップ蓄積部123は、メモリ部121より、画像信号Vbにおける注目位置に対応して出力される、画像信号Vaの連続する5フレーム $f_r(-2)$ 、 $f_r(-1)$ 、 $f_r(0)$ 、 $f_r(+1)$ 、 $f_r(+2)$ から順次取り出された予測タップの画素データ x_i を蓄積する。

10 また、画像信号処理部110は、クラス検出手段としてのクラス分類部124を有している。このクラス分類部124は、画像信号Vbにおける注目位置の画素データが属するクラスを示すクラスコードCLを生成する。このクラス分類部124は、タップ蓄積部123に蓄積された予測タップの画素データ x_i ($i = 1 \sim n$ 、 n は予測タップの個数)と、メモリ部121で画素データ x_i を取り出すために用いられた動きベクトルBWV(0)、BWV(-1)、FWV(0)、FWV(+
15 1)とを用いて、クラスコードCLを生成する。

図9は、クラス分類部124の構成を示している。

このクラス分類部124は、画素データ x_i を入力する入力端子51と、クラス生成回路52とを有している。クラス生成回路52は、入力端子51に入力される画素データ x_i に基づいて、時空間クラスを示すクラスコードCL1を生成
20 する。このクラス生成回路52は、画素データ x_i のそれぞれに例えば1ビットのADRC (Adaptive Dynamic Range Coding) 等の処理を施し、時空間クラスを示すクラスコードCL1を生成する。

ADRCは、クラスタップの複数の画素データの最大値および最小値を求め、最大値と最小値の差であるダイナミックレンジを求め、ダイナミックレンジに適
25 応して各画素値を再量子化するものである。1ビットのADRCの場合、クラスタップの複数の画素値の平均値より大きいか、小さいかでその画素値が1ビットに変換される。

ADRC処理は、画素値のレベル分布を表すクラスの数と比較的小さなものにするための処理である。したがって、ADRCに限らず、VQ (ベクトル量子

化)等の画素値のビット数を圧縮する符号化を使用するようにしてもよい。

また、クラス分類部124は、動きベクトルBWV(0)、BWV(-1)、FWV(0)、FWV(+1)を入力するための入力端子53と、クラス生成回路54とを有している。クラス生成回路54は、入力端子53に入力された動きベクトルを閾値判定して、動きベクトルクラスを示すクラスコードCL2を生成する。

また、クラス分類部124は、クラス統合回路55と、出力端子56とを有している。クラス統合回路55は、クラス生成回路52、54で生成されるクラスコードCL1、CL2を統合して1個のクラスコードCLとする。出力端子56は、クラス統合回路55で得られるクラスコードCLを出力する。

図9に示すクラス分類部124の動作を説明する。入力端子51に、タップ蓄積部123(図1参照)に蓄積された画素データ x_i が入力され、この画素データ x_i はクラス生成回路52に供給される。クラス生成回路52は、画素データ x_i のそれぞれに例えば1ビットのADRC等の処理を施し、時空間クラスを示すクラスコードCL1を生成する。

また、入力端子53に、メモリ部121(図1参照)から、動きベクトルBWV(0)、BWV(-1)、FWV(0)、FWV(+1)が供給される。これらの動きベクトルは、メモリ部121で画素データを取り出すために用いられたものである。これらの動きベクトルはクラス生成回路54に供給される。クラス生成回路54は、これらの動きベクトルの閾値判定をして、動きベクトルクラスを示すクラスコードCL2を生成する。

クラス生成回路52、54で生成されるクラスコードCL1、CL2はクラス統合回路55に供給されて統合され、画像信号Vbにおける注目位置の画素データが属するクラスを示すクラスコードCLが生成される。このクラスコードCLは出力端子56に出力される。

なお、クラス分類部124では、予測タップとしての画素データ x_i を、そのままクラスコードCL1を生成するための画素データとしたものである。これにより、クラスコードCL1を生成するための画素データの取り出し部分の構成を、予測タップとしての画素データの取り出し部分と共通にでき、回路構成を簡単にできる。しかし、このクラスコードCL1を生成するための画素データとして、

画素データ x_i とは異なる画素データを取り出して用いる構成としてもよい。

図 1 に戻って、また、画像信号処理部 110 は、係数メモリ 125 を有している。この係数メモリ 125 は、後述する推定予測演算回路 125 で使用される推定式で用いられる係数データ W_i ($i = 1 \sim n$ 、 n は予測タップの個数) を、クラス毎に、格納するものである。

この係数データ W_i は、画像信号 V_a を画像信号 V_b に変換するための情報である。この係数メモリ 125 に格納される係数データ W_i は、予め画像信号 V_a に対応した生徒信号と画像信号 V_b に対応した教師信号との間の学習によって生成される。

この係数メモリ 125 には上述したクラス分類部 124 より出力されるクラスコード CL が読み出しアドレス情報として供給される。この係数メモリ 125 からは、クラスコード CL に対応した推定式の係数データ W_i が読み出されて、後述する推定予測演算回路 126 に供給される。係数データ W_i の生成方法については後述する。

また、画像信号処理部 110 は、推定予測演算回路 126 を有している。この推定予測演算回路 126 は、タップ蓄積部 123 に蓄積された予測タップの画素データ x_i と、係数メモリ 125 より読み出される係数データ W_i とから、

(1) 式の推定式によって、作成すべき画像信号 V_b における注目位置の画素データ y を演算する。

$$y = \sum_{i=1}^n W_i \cdot x_i \quad \cdots (1)$$

この画像信号処理部 110 の動作を説明する。

動きベクトル検出部 122 では、バッファメモリ 108 に記憶されている画像信号 V_a に基づいて、この画像信号 V_a を構成する各画素データに対応した動きベクトル BWV 、 FWV が検出される。動きベクトル BWV は 1 フレーム前のフレームとの間の動きベクトルであり、 FWV は 1 フレーム後のフレームとの間の動きベクトルである。

メモリ部 121 には、バッファメモリ 108 に一時的に格納された画像信号 V

a が入力されると共に、動きベクトル検出部 1 2 2 で検出された動きベクトル B W V, F W V も入力される。そして、メモリ部 1 2 1 を構成するフレームメモリ部 2 1 a ~ 2 1 f (図 3 参照) のそれぞれには、1 フレーム分の画素データが記憶されると共に、各画素データに対応した動きベクトル B W V, F W V も記憶される。

この場合、フレームメモリ部 2 1 a ~ 2 1 f は、画像信号 V a の連続した 5 フレームが常に記憶された状態とされる。そして、これら 5 フレームが記憶された 5 個のフレームメモリ部のそれぞれから、予測タップとしての 5×5 個の画素データを取り出すために、それぞれ 4 ブロック分 (16×16 個) の画素データが読み出される。

この 4 ブロック分の画素データは、フレームメモリ部を構成するバンク 0 ~ バンク 3 (図 4 参照) からそれぞれ 1 ブロック分の画素データが読み出されて構成される。この場合、各バンクからは、それぞれ、1 ブロック分の画素データである、 8×8 個の画素データが同時に読み出される。

フレームメモリ部 2 1 a ~ 2 1 f から読み出される 4 ブロック分 (16×16 個) の画素データは、それぞれデータセクタ 2 2 a ~ 2 2 f (図 3 参照) に供給される。データセクタ 2 2 a ~ 2 2 f は、それぞれ、4 ブロック分 (16×16 個) の画素データから、予測タップとすべき 5×5 個の画素データを選択的に取り出す。

これにより、メモリ部 1 2 1 からは、画像信号 V a の連続する 5 フレーム $f_r(-2)$, $f_r(-1)$, $f_r(0)$, $f_r(+1)$, $f_r(+2)$ に基づいて、図 8 に示すように、画像信号 V b における注目位置 P (0) に対して空間方向および時間方向の周辺に位置する複数の画素データが予測タップの画素データ x_i として出力される。

この場合、フレーム $f_r(0)$ からは、注目位置 P (0) に対して空間方向の周辺に位置する 5×5 個の画素データが取り出される。フレーム $f_r(-1)$ からは、位置 P (-1) に対して空間方向の周辺に位置する 5×5 個の画素データが取り出される。フレーム $f_r(-2)$ からは、位置 P (-2) に対して空間方向の周辺に位置する 5×5 個の画素データが取り出される。ここで、位置 P (-1) は注目位置 P (0) を動きベクトル B W V (0) で動き補償して得られた位置である。位置 P (-2) は位置 P (-1) を動き

ベクトル $BWV(-1)$ で動き補償して得られた位置である。

同様に、フレーム $fr(+1)$ からは、位置 $P(+1)$ に対して空間方向の周辺に位置する 5×5 個の画素データが取り出される。フレーム $fr(+2)$ からは、位置 $P(+2)$ に対して空間方向の周辺に位置する 5×5 個の画素データが取り出される。ここで、
5 位置 $P(+1)$ は注目位置 $P(0)$ を動きベクトル $FWV(0)$ で動き補償して得られた位置である。位置 $P(+2)$ は位置 $P(+1)$ を動きベクトル $FWV(+1)$ で動き補償して得られた位置である。

メモリ部 121 より、画像信号 Vb における注目位置に対応して出力される、画像信号 Va の連続する 5 フレーム $fr(-2)$, $fr(-1)$, $fr(0)$, $fr(+1)$, $fr(+2)$ から順次取り出された予測タップの画素データ xi は、タップ蓄積部 123 に
10 供給されて蓄積される。

クラス分類部 124 では、タップ蓄積部 123 に蓄積された予測タップの画素データ xi と、メモリ部 121 で画素データ xi を取り出すために用いられた動きベクトル $BWV(0)$, $BWV(-1)$, $FWV(0)$, $FWV(+1)$ とを用いて、クラス
15 コード CL が生成される。このクラスコード CL は、画像信号 Vb における注目位置の画素データが属するクラスを示すものである。

このようにクラス分類部 124 で生成されるクラスコード CL は読み出しアドレス情報として係数メモリ 125 に供給される。これにより、係数メモリ 125 からクラスコード CL に対応した係数データ Wi が読み出されて、推定予測演算
20 回路 126 に供給される。

推定予測演算回路 126 では、タップ蓄積部 123 に蓄積された予測タップの画素データ xi と、係数メモリ 125 より読み出される係数データ Wi とを用い、上述の (1) 式に示す推定式に基づいて、作成すべき画像信号 Vb における注目位置の画素データ y が求められる。

25 このように画像信号処理部 110 では、画像信号 Va から係数データ Wi を用いて画像信号 Vb が得られる。この場合、画像信号 Va に基づいて選択された、画像信号 Vb における注目位置 $P(0)$ に対して空間方向および時間方向の周辺に位置する複数の画素データ（予測タップの画素データ） xi 、およびこの画像信号 Vb における注目位置の画素データが属するクラス CL に対応した係数データ W

i を用いて、推定式に基づいて画像信号V bにおける注目位置の画素データ y を生成するものである。

したがって、係数データW i として、画像信号V a に対応しこの画像信号V a と同様の符号化雑音を含む生徒信号と画像信号V b に対応した符号化雑音を含
5 ない教師信号とを用いた学習によって得られた係数データW i を用いることで、画像信号V b として画像信号V a に比べて符号化雑音が大幅に軽減されたものを良好に得ることができる。

また、メモリ部 1 2 1 において、フレーム f r (-2), f r (-1), f r (+1), f r (+2) から取り出される予測タップとすべき 5 × 5 個の画素データは、位置 P (-2),
10 P (-1), P (+1), P (+2) に対して空間方向の周辺に位置するものである。これらの位置は、フレームメモリ部 2 1 a ~ 2 1 f に画素データと共に記憶されている動きベクトル BWV, FWV により注目位置 P (0) が動き補償されて得られたものである。そのため、フレーム f r (-2), f r (-1), f r (+1), f r (+2) から取り出される複数の画素データは、注目位置 P (0) に対して空間方向の周辺に位置する複数
15 の画素データとの相関が高いものとなる。

このように、フレームメモリ部 2 1 a ~ 2 1 f に画素データと共に記憶されている動きベクトル BWV, FWV により動き補償された位置 P (-2), P (-1), P (+1), P (+2) を得ることで、フレーム f r (-2), f r (-1), f r (+1), f r (+2) から取り出される複数の画素データを、注目位置 P (0) に対して空間方向の周辺に位置
20 する複数の画素データとの相関が高いものとするものであり、画像信号V b の品質の向上を容易に実現できる。

また、タップ蓄積部 1 2 3 に蓄積された予測タップとしての画素データ x i をクラス分類部 1 2 4 に供給し、この画素データ x i に基づいて時空間クラスを示すクラスコード C L 1 を生成し、最終的なクラスコード C L として、クラスコード C L 1 が統合されたものを得るようにしている。したがって、画像信号V b における注目位置の画素データを生成する際に用いられる画素データ x i に対応した時空間クラスを良好に検出でき、クラス分類の精度を高めることができる。

また、予測タップとしての画素データ x i に基づいて時空間クラスを示すクラスコード C L 1 を生成することで、時空間クラスを検出するための画素データを

抽出する回路を別個に設ける必要がなく、回路構成を簡単にできる。

また、メモリ部 1 2 1 を構成するフレームメモリ部 2 1 a ~ 2 1 f は、それぞれバンク 0 ~ バンク 3 を有して構成されている。そして、バンク 0 ~ バンク 3 のそれぞれには、フレームを 0 ~ 3 の 4 個の小ブロックが二次元的に配置されてなる大ブロックを単位として分割した際の大ブロックの異なる位置の小ブロックが記憶される。

これにより、予測タップとすべき 5×5 個の画素データを取り出すために、この 5×5 個の画素データを含む範囲の 4 ブロック分 (16×16 個) の画素データを、バンク 0 ~ バンク 3 から各 1 ブロック分ずつ並行して読み出すことができる。したがって、メモリ部 1 2 1 より、予測タップとしての画素データを出力するための処理速度を高めることができ、ひいては画像信号 V b における注目位置の画素データの生成速度を高めることができる。

次に、係数メモリ 1 2 5 に記憶される係数データ W_i の生成方法について説明する。この係数データ W_i は、予め学習によって生成されたものである。

まず、この学習方法について説明する。上述の、(1) 式において、学習前は係数データ W_1, W_2, \dots, W_n は未定係数である。学習は、クラス毎に、複数の信号データに対して行う。学習データ数が m の場合、(1) 式に従って、以下に示す (2) 式が設定される。 n は予測タップの数を示している。

$$y_k = W_1 \times x_{k1} + W_2 \times x_{k2} + \dots + W_n \times x_{kn} \quad \dots (2)$$

$$(k = 1, 2, \dots, m)$$

$m > n$ の場合、係数データ W_1, W_2, \dots, W_n は、一意に決まらないので、誤差ベクトル e の要素 e_k を、以下の式 (3) で定義して、(4) 式の e^2 を最小にする係数データを求める。いわゆる最小 2 乗法によって係数データを一意に定める。

$$e_k = y_k - \{W_1 \times x_{k1} + W_2 \times x_{k2} + \dots + W_n \times x_{kn}\} \quad \dots (3)$$

$$(k = 1, 2, \dots, m)$$

$$e^2 = \sum_{k=1}^m e_k^2 \quad \dots (4)$$

(4) 式の e^2 を最小とする係数データを求めるための実際的な計算方法としては、
 5 まず、(5) 式に示すように、 e^2 を係数データ W_i ($i = 1, 2, \dots, n$)
 で偏微分し、 i の各値について偏微分値が 0 となるように係数データ W_i を求め
 ればよい。

$$\frac{\partial e^2}{\partial W_i} = \sum_{k=1}^m 2 \left(\frac{\partial e_k}{\partial W_i} \right) e_k = \sum_{k=1}^m 2 x_{ki} \cdot e_k \quad \dots (5)$$

10

(5) 式から係数データ W_i を求める具体的な手順について説明する。(6)
 式、(7) 式のように X_{ji} , Y_i を定義すると、(5) 式は、(8) 式の行列式の
 形に書くことができる。

$$X_{ji} = \sum_{p=1}^m x_{pi} \cdot x_{pj} \quad \dots (6)$$

15

$$Y_i = \sum_{k=1}^m x_{ki} \cdot y_k \quad \dots (7)$$

$$\begin{bmatrix} X_{11} & X_{12} & \dots & X_{1n} \\ X_{21} & X_{22} & \dots & X_{2n} \\ \dots & \dots & \dots & \dots \\ X_{n1} & X_{n2} & \dots & X_{nn} \end{bmatrix} \begin{bmatrix} W_1 \\ W_2 \\ \dots \\ W_n \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \\ \dots \\ Y_n \end{bmatrix} \quad \dots (8)$$

20

(8) 式は、一般に正規方程式と呼ばれるものである。この正規方程式を掃き
 出し法 (Gauss-Jordan の消去法) 等の一般解法で解くことにより、係数データ W_i
 ($i = 1, 2, \dots, n$) を求めることができる。

図 10 は、図 1 の画像信号処理部 110 の係数メモリ 125 に格納すべき係数
 データ W_i を生成する係数データ生成装置 150 の構成を示している。

この係数データ生成装置 150 は、画像信号 V b に対応した教師信号 S T が入力される入力端子 151 と、MPEG2 符号化器 152 と、MPEG2 復号化器 153 とを有している。MPEG2 符号化器 152 は、入力端子 151 に入力される教師信号 S T に対して符号化を行って MPEG2 ストリームを得る。MPEG2 復号化器 153 は、この MPEG2 ストリームに対して復号化を行って画像信号 V a に対応した生徒信号 S S を得る。

ここで、MPEG2 復号化器 153 は、図 1 に示すデジタル放送受信機 100 における MPEG2 復号化器 107 およびバッファメモリ 108 に対応している。

また、係数データ生成装置 150 は、動きベクトル検出部 154 を有している。

この動きベクトル検出部 154 は、上述した画像信号処理部 110 の動きベクトル検出部 122 と同様に構成され、MPEG2 復号化器 153 より出力される生徒信号 S S に基づいて、この生徒信号 S S を構成する各画素データに対応した動きベクトル BWV, FWV を検出する。動きベクトル BWV は 1 フレーム前のフレームとの間の動きベクトルであり、FWV および 1 フレーム後のフレームとの間の動きベクトルである。

また、係数データ生成装置 150 は、メモリ部 155 を有している。このメモリ部 155 は、上述した画像信号処理部 110 のメモリ部 121 と同様に構成される。このメモリ部 155 は、生徒信号 S S の連続した 5 フレームを常に記憶すると共に、各画素データと対にして、動きベクトル検出部 154 で検出された動きベクトル BWV, FWV も記憶する。

また、このメモリ部 155 は、生徒信号 S S の連続する 5 フレーム $f_r(-2)$, $f_r(-1)$, $f_r(0)$, $f_r(+1)$, $f_r(+2)$ に基づいて、教師信号 S T における注目位置に対して空間方向および時間方向の周辺に位置する複数の画素データを予測タップの画素データとして出力する。

また、係数データ生成装置 150 は、タップ蓄積部 156 を有している。このタップ蓄積部 156 は、メモリ部 155 より、教師信号 S T における注目位置に対応して出力される、生徒信号 S S の連続する 5 フレームから順次取り出された予測タップの画素データを蓄積する。このタップ蓄積部 156 は、上述した画像信号処理部 110 のタップ蓄積部 123 と同様に構成される。

また、係数データ生成装置 150 は、クラス検出手段としてのクラス分類部 157 を有している。このクラス分類部 157 は、教師信号 ST における注目位置の画素データが属するクラスを示すクラスコード CL を生成する。このクラス分類部 157 は、タップ蓄積部 156 に蓄積された予測タップの画素データ x_i

5 ($i = 1 \sim n$ 、 n は予測タップの個数) と、メモリ部 155 で画素データ x_i を取り出すために用いられた動きベクトル $BWV(0)$ 、 $BWV(-1)$ 、 $FWV(0)$ 、 $FWV(+1)$ とを用いて、クラスコード CL を生成する。このクラス分類部 157 は、上述した画像信号処理部 110 のクラス分類部 124 と同様に構成される。

また、係数データ生成装置 150 は、入力端子 151 に供給される教師信号 ST の時間調整を行うための遅延回路 158 と、正規方程式生成部 159 とを有している。正規方程式生成部 159 は、遅延回路 158 で時間調整された教師信号 ST より得られる各注目位置の画素データ y と、この各注目位置の画素データ y にそれぞれ対応してタップ蓄積部 156 に蓄積された予測タップの画素データ x_i と、各注目位置の画素データ y にそれぞれ対応してクラス分類部 157 で生成
15 されるクラスコード CL とから、クラス毎に、係数データ W_i ($i = 1 \sim n$) を得るための正規方程式 (上述の (8) 式参照) を生成する。

この場合、1 個の画素データ y とそれに対応する n 個の予測タップの画素データ x_i との組み合わせで 1 個の学習データが生成されるが、教師信号 ST と生徒信号 SS との間で、クラス毎に、多くの学習データが生成されていく。これにより、正規方程式生成部 159 では、クラス毎に、係数データ W_i ($i = 1 \sim n$)
20 を得るための正規方程式が生成される。

また、係数データ生成装置 150 は、係数データ決定部 160 と、係数メモリ 161 とを有している。係数データ決定部 160 は、正規方程式生成部 159 で生成された正規方程式のデータに基づき、その正規方程式を解いて、各クラスの
25 係数データ W_i を求める。係数メモリ 161 は、この求められた各クラスの係数データ W_i を格納する。

次に、図 10 に示す係数データ生成装置 150 の動作を説明する。

入力端子 151 には画像信号 V_b に対応した教師信号 ST が供給され、そして MPEG 2 符号化器 152 で、この教師信号 ST に対して符号化が施されて、M

MPEG2ストリームが生成される。このMPEG2ストリームは、MPEG2復号化器153に供給される。MPEG2復号化器153で、このMPEG2ストリームに対して復号化が施されて、画像信号Vaに対応した生徒信号SSが生成される。

- 5 動きベクトル検出部154では、MPEG2復号化器153より出力される生徒信号SSに基づいて、この生徒信号SSを構成する各画素データに対応した動きベクトルBWV, FWVが検出される。

- メモリ部155には、MPEG2復号化器153より出力される生徒信号SSが入力されると共に、動きベクトル検出部154で検出された動きベクトルBWV, FWVも入力される。このメモリ部155には、生徒信号SSの連続した5
10 フレームが常に記憶されると共に、各画素データと対にして動きベクトルBWV, FWVも記憶される。

- そして、このメモリ部155からは、生徒信号SSの連続する5フレームに基づいて、教師信号STにおける注目位置に対して空間方向および時間方向の周辺
15 に位置する複数の画素データが予測タップの画素データとして出力される。このようにメモリ部155より出力される予測タップの画素データはタップ蓄積部156に供給されて蓄積される。

- クラス分類部157では、タップ蓄積部156に蓄積された予測タップの画素データ x_i と、メモリ部155で画素データ x_i を取り出すために用いられた動きベクトルBWV(0), BWV(-1), FWV(0), FWV(+1)とを用いて、クラス
20 コードCLが生成される。このクラスコードCLは、教師信号STにおける注目位置の画素データが属するクラスを示す。

- そして、遅延回路158で時間調整された教師信号STから得られる各注目位置の画素データ y と、この各注目位置の画素データ y にそれぞれ対応してタップ
25 蓄積部156に蓄積された予測タップの画素データ x_i と、各注目位置の画素データ y にそれぞれ対応してクラス分類部157で生成されるクラスコードCLとを用いて、正規方程式生成部159では、クラス毎に、係数データ W_i ($i=1 \sim n$)を得るための正規方程式((8)式参照)が生成される。この正規方程式は係数データ決定部160で解かれて各クラスの係数データ W_i が求められ、そ

の係数データ W_i は係数メモリ161に格納される。

このように、図10に示す係数データ生成装置150においては、図1の画像信号処理部110の係数メモリ125に格納される各クラスの係数データ W_i を生成することができる。

- 5 生徒信号 SS は、教師信号 ST に対して符号化を施してMPEG2ストリームを生成し、その後このMPEG2ストリームに対して復号化を施して得たものである。したがって、この生徒信号 SS は、画像信号 V_a と同様の符号化雑音を含んだものとなる。そのため、図1に示す画像信号処理部110において、画像信号 V_a からこの係数データ W_i を用いて得られる画像信号 V_b は、画像信号 V_a
10 に比べて符号化雑音が軽減されたものとなる。

なお、図1の画像信号処理部110における処理を、例えば図11に示すような画像信号処理装置300によって、ソフトウェアで実現することも可能である。

- まず、図11に示す画像信号処理装置300について説明する。この画像信号処理装置300は、装置全体の動作を制御するCPU301と、このCPU301
15 の制御プログラムや係数データ等が格納されたROM (Read Only Memory) 302と、CPU301の作業領域を構成するRAM (Random Access Memory) 303とを有している。これらCPU301、ROM302およびRAM303は、それぞれバス304に接続されている。

- また、画像信号処理装置300は、外部記憶装置としてのハードディスクドライ
20 ブ (HDD) 305と、フロッピー (登録商標) ディスク306をドライブするドライブ (FDD) 307とを有している。これらドライブ305、307は、それぞれバス304に接続されている。

- また、画像信号処理装置300は、インターネット等の通信網400に有線または無線で接続する通信部308を有している。この通信部308は、インタ
25 フェース309を介してバス304に接続されている。

また、画像信号処理装置300は、ユーザインタフェース部を備えている。このユーザインタフェース部は、リモコン送信機200からのリモコン信号 RM を受信するリモコン信号受信回路310と、LCD (Liquid Crystal Display) 等
からなるディスプレイ311とを有している。受信回路310はインタフェース

312を介してバス304に接続され、同様にディスプレイ311はインタフェース313を介してバス304に接続されている。

また、画像信号処理装置300は、画像信号V_aを入力するための入力端子314と、画像信号V_bを出力するための出力端子315とを有している。入力端子314はインタフェース316を介してバス304に接続され、同様に出力端子315はインタフェース317を介してバス304に接続される。

ここで、上述したようにROM302に制御プログラムや係数データ等を予め格納しておく代わりに、例えばインターネットなどの通信網400より通信部308を介してダウンロードし、HDD305やRAM303に蓄積して使用することもできる。また、これら制御プログラムや係数データ等をフロッピー（登録商標）ディスク306で提供するようにしてもよい。

また、処理すべき画像信号V_aを入力端子314より入力する代わりに、予めHDD305に記録しておき、あるいはインターネットなどの通信網400より通信部308を介してダウンロードしてもよい。また、処理後の画像信号V_bを出力端子315に出力する代わりに、あるいはそれと並行してディスプレイ311に供給して画像表示をしたり、さらにはHDD305に格納したり、通信部308を介してインターネットなどの通信網400に送出するようにしてもよい。

図12のフローチャートを参照して、図11に示す画像信号処理装置300における、画像信号V_aより画像信号V_bを得るため処理手順を説明する。

まず、ステップST21で、処理を開始し、ステップS22で、例えば入力端子314より装置内に複数フレーム分の画像信号V_aを入力する。このように入力端子314より入力される画像信号V_aはRAM303に一時的に格納される。なお、この画像信号V_aが装置内のHDD305に予め記録されている場合には、このドライブ305からこの画像信号V_aを読み出し、この画像信号V_aをRAM303に一時的に格納する。

次に、ステップST23で、入力された画像信号V_aに基づいて、この画像信号V_aを構成する各画素データに対応した動きベクトルBWV、FWVを検出する。

次に、ステップST24で、画像信号V_aの全フレームの処理が終わっている

か否かを判定する。処理が終わっているときは、ステップST25で、処理を終了する。一方、処理が終わっていないときは、ステップST26に進む。

5 ステップST26では、画像信号Vaの連続する5フレームfr(-2), fr(-1), fr(0), fr(+1), fr(+2)に基づいて、画像信号Vbにおける注目位置P(0)に対して空間方向および時間方向の周辺に位置する複数の画素データを予測タップの画素データxiとして取得する。この場合、ステップST23で検出した動きベクトルを用いて、フレームfr(-2), fr(-1), fr(+1), fr(+2)に関しては、動き補償をする。

10 次に、ステップST27で、ステップST26で取得された予測タップの画素データxiと、この画素データxiを取得する際に使用された動きベクトルBWV(0), BWV(-1), FWV(0), FWV(+1)を用いて、画像信号Vbにおける注目位置の画素データが属するクラスを示すクラスコードCLを生成する。

15 そして、ステップST28で、ステップST27で生成されたクラスコードCLに対応した係数データWiとステップST26で取得された予測タップの画素データxiを使用して、(1)式の推定式に基づいて、画像信号Vbにおける注目位置の画素データyを生成する。

20 次に、ステップST29で、ステップST22で入力された複数フレーム分の画像信号Vaに対応した処理が終了したか否かを判定する。終了しているときは、ステップST22に戻り、次の複数フレーム分の画像信号Vaの入力処理に移る。一方、処理が終了していないときは、ステップST26に戻って、次の注目位置についての処理に移る。

25 このように、図12に示すフローチャートに沿って処理をすることで、入力された画像信号Vaの画素データを処理して、画像信号Vbの画素データを得ることができる。上述したように、このように処理して得られた画像信号Vbは出力端子315に出力されたり、ディスプレイ311に供給されてそれによる画像が表示されたり、さらにはHDD305に供給されて記録されたりする。

また、処理装置の図示は省略するが、図10の係数データ生成装置150における処理も、ソフトウェアで実現可能である。

図13のフローチャートを参照して、係数データを生成するための処理手順を

説明する。

まず、ステップST31で、処理を開始し、ステップST32で、複数フレーム分の教師信号STを入力する。そして、ステップST33で、教師信号STの全フレームの処理が終了したか否かを判定する。終了していないときは、ステップST34で、ステップST32で入力された教師信号STから生徒信号SSを生成する。

次に、ステップST35で、生徒信号SSに基づいて、この生徒信号SSを構成する各画素データに対応した動きベクトルBWV, FWVを検出する。そして、ステップST36で、生徒信号SSの連続する5フレーム $f_r(-2)$, $f_r(-1)$, $f_r(0)$, $f_r(+1)$, $f_r(+2)$ に基づいて、教師信号STにおける注目位置P(0)に対して空間方向および時間方向の周辺に位置する複数の画素データを予測タップの画素データ x_i として取得する。この場合、ステップST35で検出した動きベクトルを用いて、フレーム $f_r(-2)$, $f_r(-1)$, $f_r(+1)$, $f_r(+2)$ に関しては動き補償をする。

次に、ステップST37で、ステップST36で取得された予測タップの画素データ x_i と、この画素データ x_i を取得する際に使用された動きベクトルBWV(0), BWV(-1), FWV(0), FWV(+1)を用いて、教師信号STにおける注目位置の画素データが属するクラスを示すクラスコードCLを生成する。

そして、ステップST38で、ステップST37で生成されたクラスコードCL、ステップST36で取得された予測タップの画素データ x_i および教師信号STにおける注目位置の画素データ y を用いて、クラス毎に、(8)式に示す正規方程式を得るための加算をする((6)式、(7)式参照)。

次に、ステップST39で、ステップST32で入力された複数フレーム分の教師信号STに対応した学習処理が終了したか否かを判定する。学習処理を終了しているときは、ステップST32に戻って、次の複数フレーム分の教師信号STの入力を行って、上述したと同様の処理を繰り返す。一方、学習処理を終了していないときは、ステップST36に戻って、次の注目位置についての処理に移る。

上述したステップST33で、処理が終了したときは、ステップST40で、

上述のステップST38の加算処理によって生成された、各クラスの正規方程式を掃き出し法などで解いて、各クラスの係数データ W_i を算出する。そして、ステップST41で、各クラスの係数データ W_i をメモリに保存し、その後にステップST42で、処理を終了する。

- 5 このように、図13に示すフローチャートに沿って処理をすることで、図10に示す係数データ生成装置150と同様の手法によって、各クラスの係数データ W_i を得ることができる。

10 なお、上述実施の形態においては、メモリ部121を構成するフレームメモリ部21a～21fのそれぞれは、バンク0～バンク3の4個のバンクで構成されたものであるが、1個のフレームメモリ部を構成するバンクの個数はこれに限定されるものではない。また、上述実施の形態においては、小ブロックを 8×8 個の画素データからなるものとしたが、小ブロックの大きさはこれに限定されるものではない。

- 15 例えば、小ブロックが 8×8 個の画素データで構成される場合であって、1フレームから予測タプルとして取り出すべき画素データが 8×8 個の画素データ範囲を越える場合には、フレームメモリ部を9個のバンクで構成することで、予測タプルとして取り出すべき画素データを含む9個の小ブロックを同時に読み出すことができる。この場合、フレームは9個の小ブロックが二次元的に配置されてなる大ブロックを単位として分割され、9個のバンクのそれぞれには、大ブロッ
20 クの異なる位置の小ブロックが記憶される。

25 また、上述実施の形態においては、復号化された画像信号 V_a を符号化雑音が軽減された画像信号 V_b に変換する画像信号処理部110にこの発明を適用したものである。しかし、この発明は、一般的に、複数の画素データからなる第1の画像信号を複数の画素データからなる第2の画像信号に変換する際に、第1の画像信号に基づいて、第2の画像信号における注目位置に対して空間方向および時間方向の周辺に位置する複数の画素データを選択し、この選択された複数の画素データを用いて第2の画像信号における注目位置の画素データを生成するものに、同様に適用できることは勿論である。

この発明によれば、複数のフレームメモリ部に、第1の画像信号の連続する複

数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶しておき、現在フレームが記憶されているフレームメモリ部から第2の画像信号における注目位置に対して空間方向の周辺に位置する複数の画素データを選択すると共に、現在フレームの前後のフレームが記憶されているフレームメモリ部から、複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択し、これら選択された複数の画素データを用いて第2の画像信号における注目位置の画素データを生成するものである。したがって、この発明によれば、複数のフレームメモリ部に画素データと共に記憶された動きベクトルにより現在フレームの前後のフレームの動き補償を行って、現在フレームの前後のフレームから選択された複数の画素データを、現在フレームから選択された複数の画素データとの相関が高いものとするものであり、第2の画像信号の品質の向上を容易に実現できる。

また、この発明によれば、フレームメモリ部が複数のバンクを有してなるようにし、複数のバンクのそれぞれには、フレームを複数の小ブロックが二次元的に配置されてなる大ブロックを単位として分割した際の大ブロックの異なる位置の小ブロックが記憶されるものであり、第2の画像信号における注目位置の画素データを生成する際に用いられる複数の画素データを複数のバンクから並行して読み出すことができ、画素データの生成速度を高めることができる。

産業上の利用可能性

以上のように、この発明に係る画像信号の処理装置等は、例えばブロック雑音、モスキート雑音などの符号化雑音を含む画像信号を、その符号化雑音が除去された画像信号に変換する用途等に適用できる。

請 求 の 範 囲

1. 複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する画像信号処理装置であって、

5 上記第1の画像信号の連続する複数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する複数のフレームメモリ部と、

上記複数のフレームメモリ部に記憶されている複数のフレームに基づいて、上記第2の画像信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択するデータ選択手段と、

上記データ選択手段で選択された複数の画素データを用いて、上記第2の画像信号における注目位置の画素データを生成する画素データ生成手段とを備え、

上記データ選択手段は、

15 上記第2の画像信号における注目位置が存在するフレームと対応する上記第1の画像信号の現在フレームが記憶されているフレームメモリ部から該注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、

上記現在フレームの前および後のフレームが記憶されているフレームメモリ部から、上記複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより上記注目位置が動き補償されて得られた位置に対して空間方向の周辺

20 に位置する複数の画素データを選択する

ことを特徴とする画像信号処理装置。

2. 上記画素データ生成手段は、

25 上記第2の画像信号における注目位置の画素データが属するクラスを検出するクラス検出手段と、

上記クラス検出手段で検出されたクラスに対応した推定式の係数データを発生する係数データ発生手段と、

上記係数データ発生手段で発生された係数データおよび上記データ選択手段で選択された複数の画素データを用いて、上記推定式に基づいて、上記第2の画像

信号における上記注目位置の画素データを算出して得る演算手段とを有することを特徴とする請求の範囲第 1 項に記載の画像信号処理装置。

3. 上記クラス検出手段は、

- 5 少なくとも上記データ選択手段で選択された複数の画素データを用いて、上記第 2 の画像信号における注目位置の画素データが属するクラスを検出することを特徴とする請求の範囲第 2 項に記載の画像信号処理装置。

4. 上記フレームメモリ部は、複数のバンクを有してなり、

- 10 上記複数のバンクのそれぞれには、フレームを複数の小ブロックが二次元的に配置されてなる大ブロックを単位として分割した際の大ブロックの異なる位置の小ブロックが記憶される

ことを特徴とする請求の範囲第 1 項に記載の画像信号処理装置。

- 15 5. 複数の画素データからなる第 1 の画像信号を、複数の画素データからなる第 2 の画像信号に変換する画像信号処理方法であって、

複数のフレームメモリ部に、第 1 の画像信号の連続する複数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する第 1 のステップと、

- 20 上記複数のフレームメモリ部に記憶されている複数のフレームに基づいて、上記第 2 の画像信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択する第 2 のステップと、

上記第 2 のステップで選択された複数の画素データを用いて、上記第 2 の画像信号における注目位置の画素データを生成する第 3 のステップとを備え、

- 25 上記第 2 のステップでは、

上記第 2 の画像信号における注目位置が存在するフレームと対応する上記第 1 の画像信号の現在フレームが記憶されているフレームメモリ部から該注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、

上記現在フレームの前および後のフレームが記憶されているフレームメモリ部

から、上記複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより上記注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択する

ことを特徴とする画像信号処理方法。

5

6. 複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換するために、

複数のフレームメモリ部に、第1の画像信号の連続する複数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する第1のステップと、

10

上記複数のフレームメモリ部に記憶されている複数のフレームに基づいて、上記第2の画像信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択する第2のステップと、

15

上記第2のステップで選択された複数の画素データを用いて、上記第2の画像信号における注目位置の画素データを生成する第3のステップとを備え、

上記第2のステップでは、

上記第2の画像信号における注目位置が存在するフレームと対応する上記第1の画像信号の現在フレームが記憶されているフレームメモリ部から該注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、

20

上記現在フレームの前および後のフレームが記憶されているフレームメモリ部から、上記複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより上記注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択する

25

画像信号処理方法をコンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な媒体。

7. 複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換するために、

複数のフレームメモリ部に、第1の画像信号の連続する複数のフレームの画素

データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する第1のステップと、

上記複数のフレームメモリ部に記憶されている複数のフレームに基づいて、上記第2の画像信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択する第2のステップと、

上記第2のステップで選択された複数の画素データを用いて、上記第2の画像信号における注目位置の画素データを生成する第3のステップとを備え、

上記第2のステップでは、

上記第2の画像信号における注目位置が存在するフレームと対応する上記第1の画像信号の現在フレームが記憶されているフレームメモリ部から該注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、

上記現在フレームの前および後のフレームが記憶されているフレームメモリ部から、上記複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより上記注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択する

画像信号処理方法をコンピュータに実行させるためのプログラム。

8. 複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する際に使用される推定式の係数データを生成する装置であって、

上記第1の画像信号に対応する生徒信号の連続する複数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する複数のフレームメモリ部と、

上記複数のフレームメモリ部に記憶されている複数のフレームに基づいて、上記第2の画像信号に対応した教師信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択するデータ選択手段と、

上記データ選択手段で選択された複数の画素データおよび上記教師信号における注目位置の画素データを用いて上記係数データを求める演算手段とを備え、

上記データ選択手段は、

上記教師信号における注目位置が存在するフレームと対応する上記生徒信号の現在フレームが記憶されているフレームメモリ部から該注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、

- 5 上記現在フレームの前および後のフレームが記憶されているフレームメモリ部から、上記複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより上記注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択することを特徴とする係数データ生成装置。

- 10 9. 複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する際に使用される推定式の係数データを生成する方法であって、

- 15 複数のフレームメモリ部に、上記第1の画像信号に対応する生徒信号の連続する複数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する第1のステップと、

上記複数のフレームメモリ部に記憶されている複数のフレームに基づいて、上記第2の画像信号に対応した教師信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択する第2のステップと、

- 20 上記第2のステップで選択された複数の画素データおよび上記教師信号における注目位置の画素データを用いて上記係数データを求める第3のステップとを備え、

上記第2のステップでは、

- 25 上記教師信号における注目位置が存在するフレームと対応する上記生徒信号の現在フレームが記憶されているフレームメモリ部から該注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、

上記現在フレームの前および後のフレームが記憶されているフレームメモリ部から、上記複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより上記注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択する

ことを特徴とする係数データ生成方法。

10. 複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する際に使用される推定式の係数データを生成するために、

5 複数のフレームメモリ部に、上記第1の画像信号に対応する生徒信号の連続する複数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する第1のステップと、

上記複数のフレームメモリ部に記憶されている複数のフレームに基づいて、上記第2の画像信号に対応した教師信号における注目位置に対して時間方向および
10 空間方向の周辺に位置する複数の画素データを選択する第2のステップと、

上記第2のステップで選択された複数の画素データおよび上記教師信号における注目位置の画素データを用いて上記係数データを求める第3のステップとを備え、

上記第2のステップでは、

15 上記教師信号における注目位置が存在するフレームと対応する上記生徒信号の現在フレームが記憶されているフレームメモリ部から該注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、

上記現在フレームの前および後のフレームが記憶されているフレームメモリ部から、上記複数のフレームメモリ部に画素データと共に記憶されている動きベク
20 トルにより上記注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択する

係数データ生成方法をコンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な媒体。

25 11. 複数の画素データからなる第1の画像信号を、複数の画素データからなる第2の画像信号に変換する際に使用される推定式の係数データを生成するために、

複数のフレームメモリ部に、上記第1の画像信号に対応する生徒信号の連続する複数のフレームの画素データを、該画素データに対応した隣接フレームとの間の動きベクトルと共に記憶する第1のステップと、

上記複数のフレームメモリ部に記憶されている複数のフレームに基づいて、上記第2の画像信号に対応した教師信号における注目位置に対して時間方向および空間方向の周辺に位置する複数の画素データを選択する第2のステップと、

5 上記第2のステップで選択された複数の画素データおよび上記教師信号における注目位置の画素データを用いて上記係数データを求める第3のステップとを備え、

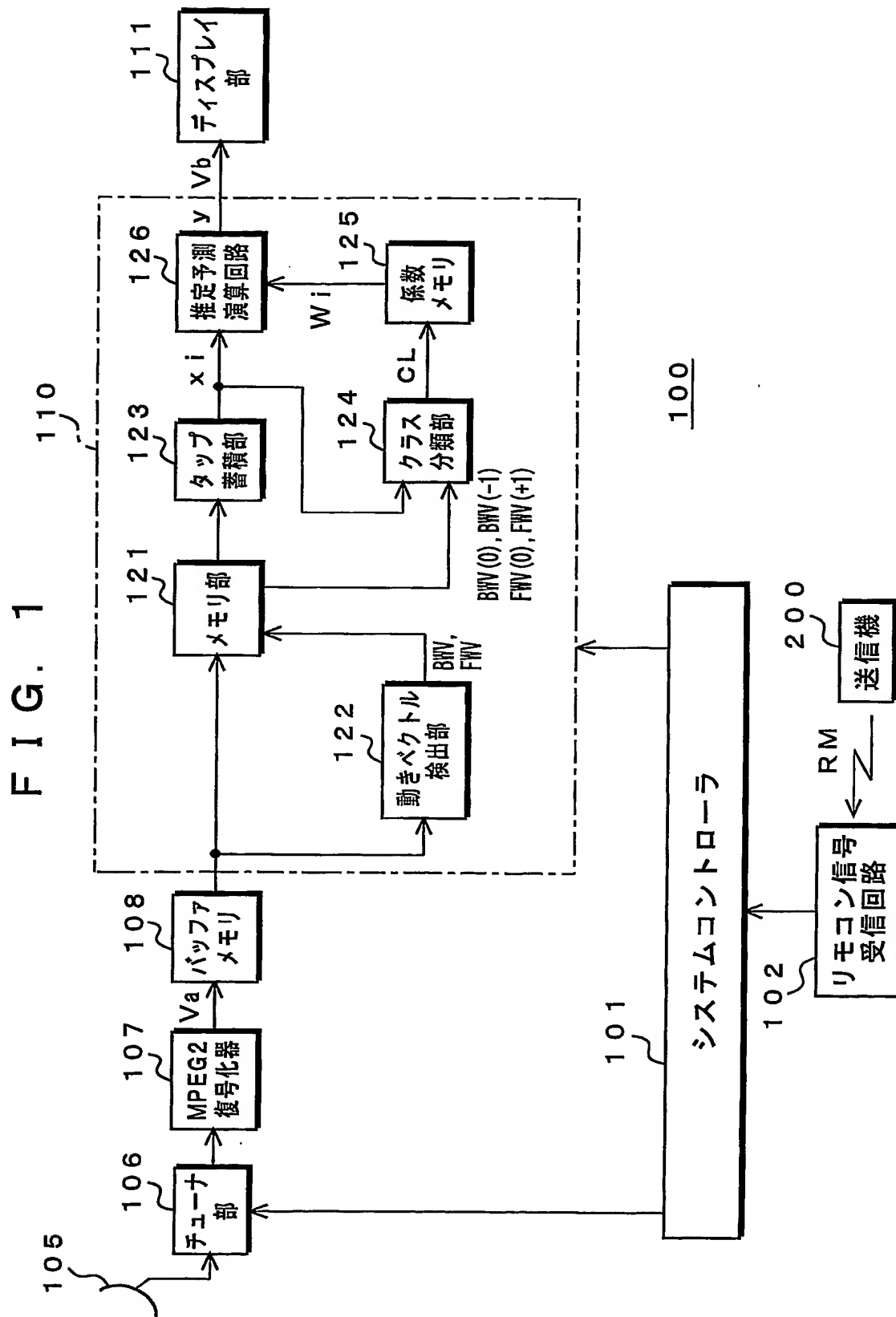
上記第2のステップでは、

10 上記教師信号における注目位置が存在するフレームと対応する上記生徒信号の現在フレームが記憶されているフレームメモリ部から該注目位置に対して空間方向の周辺に位置する複数の画素データを選択し、

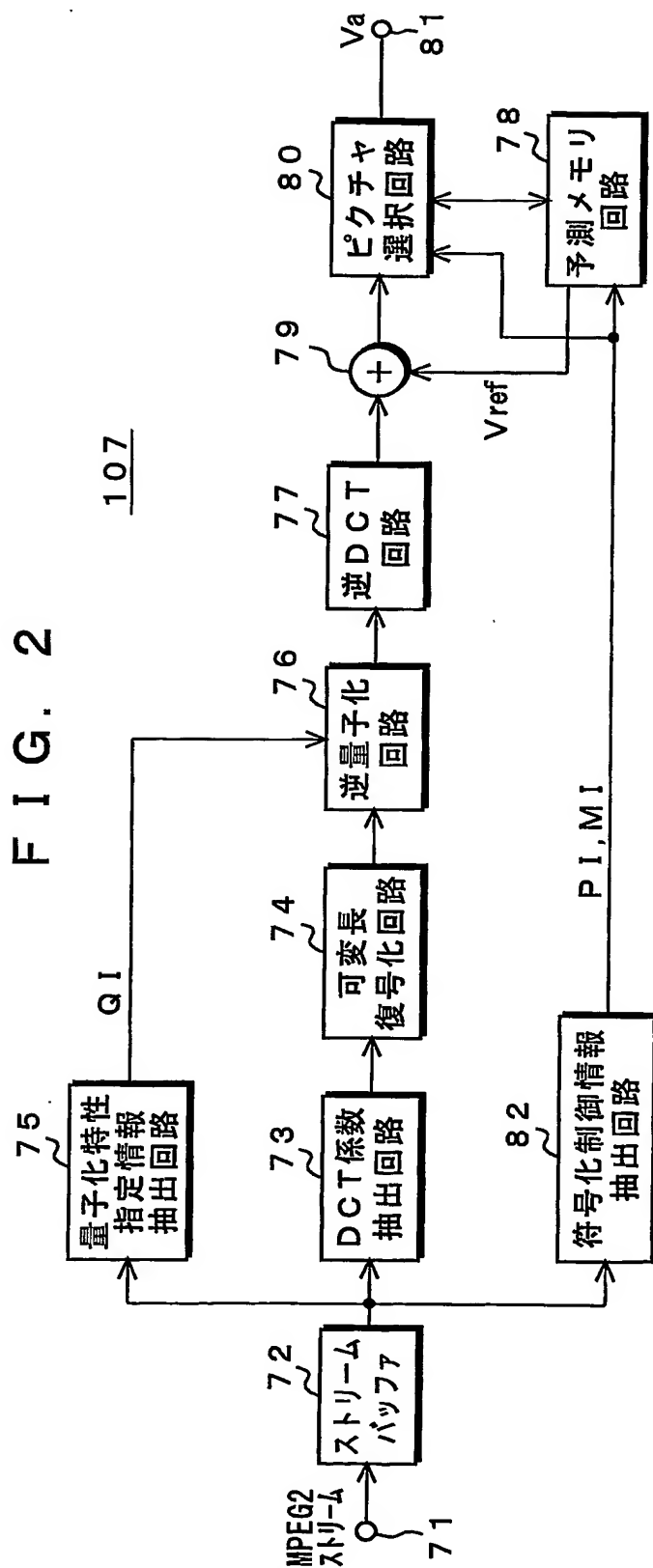
上記現在フレームの前および後のフレームが記憶されているフレームメモリ部から、上記複数のフレームメモリ部に画素データと共に記憶されている動きベクトルにより上記注目位置が動き補償されて得られた位置に対して空間方向の周辺に位置する複数の画素データを選択する

15 係数データ生成方法をコンピュータに実行させるためのプログラム。

1 / 12

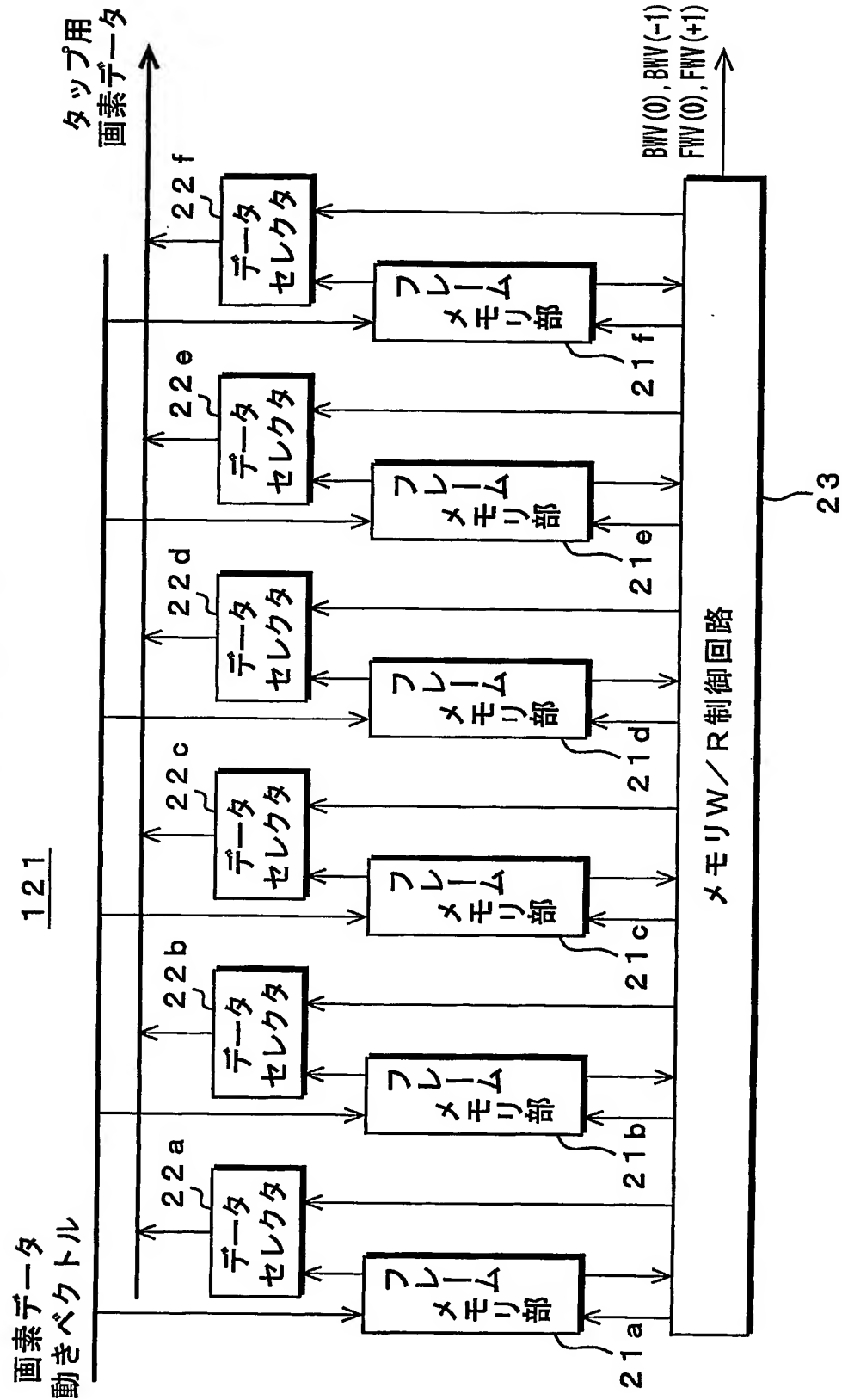


2 / 1 2



3 / 1 2

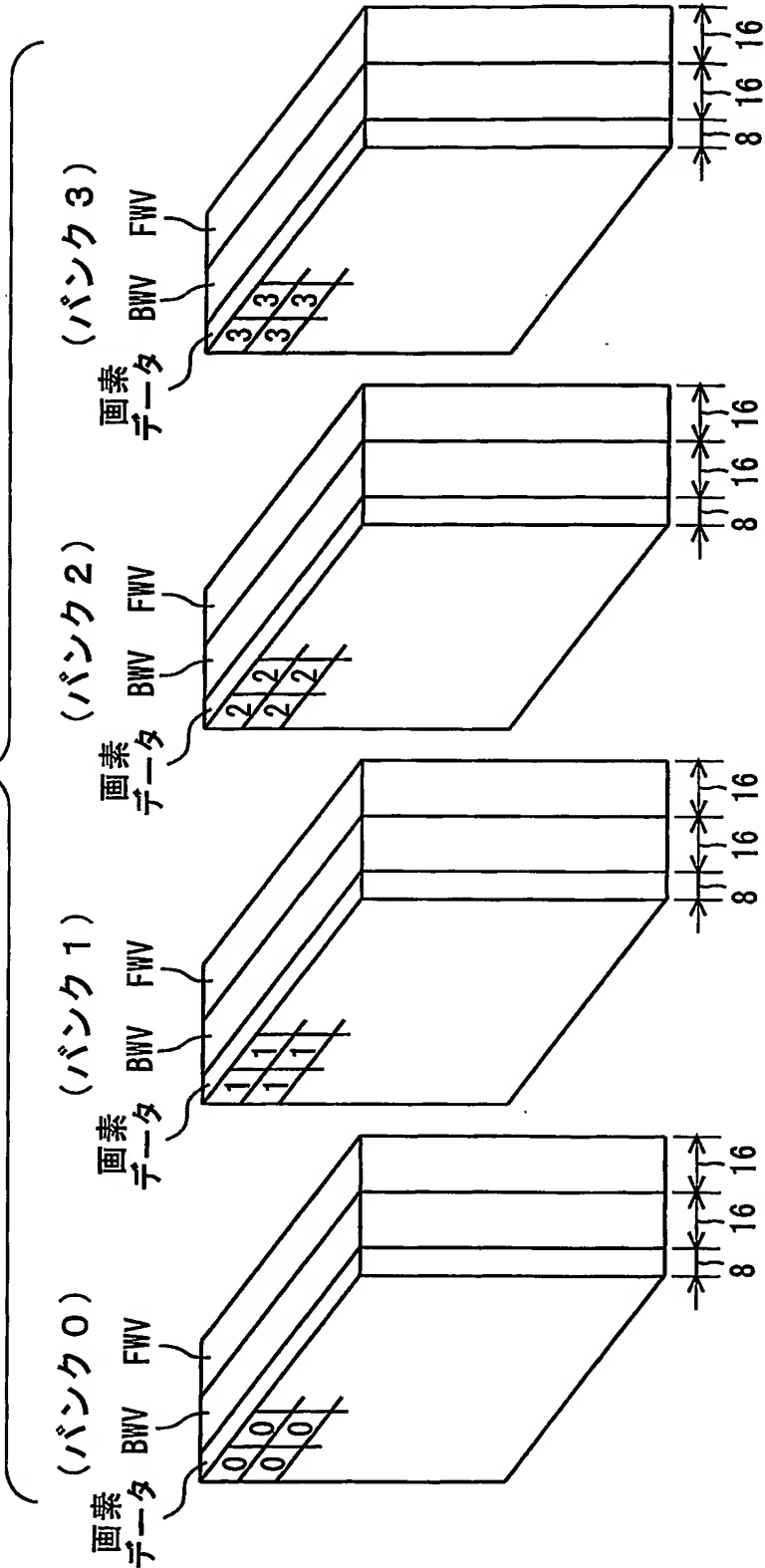
FIG. 3



4 / 1 2

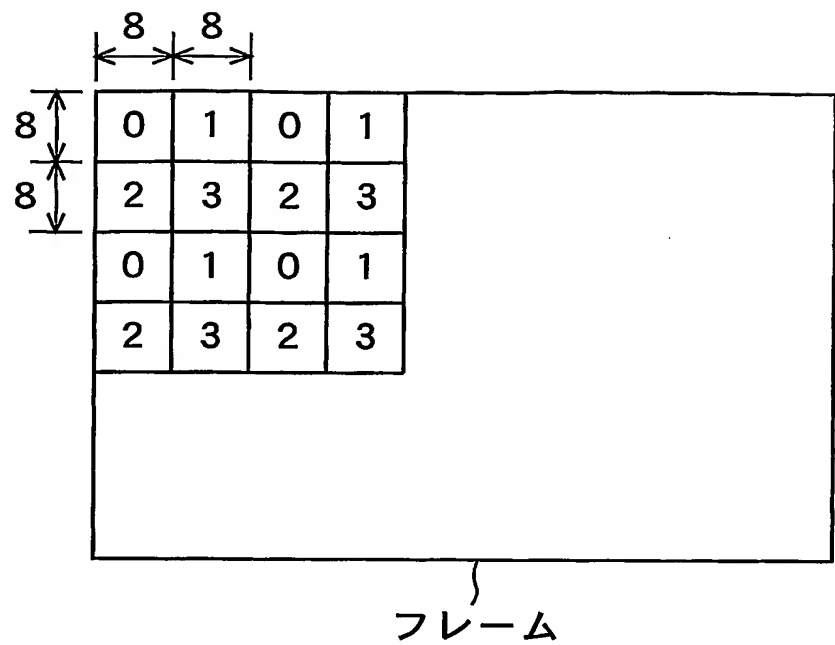
FIG. 4

フレームメモリ部



5 / 1 2

F I G . 5



F I G . 9

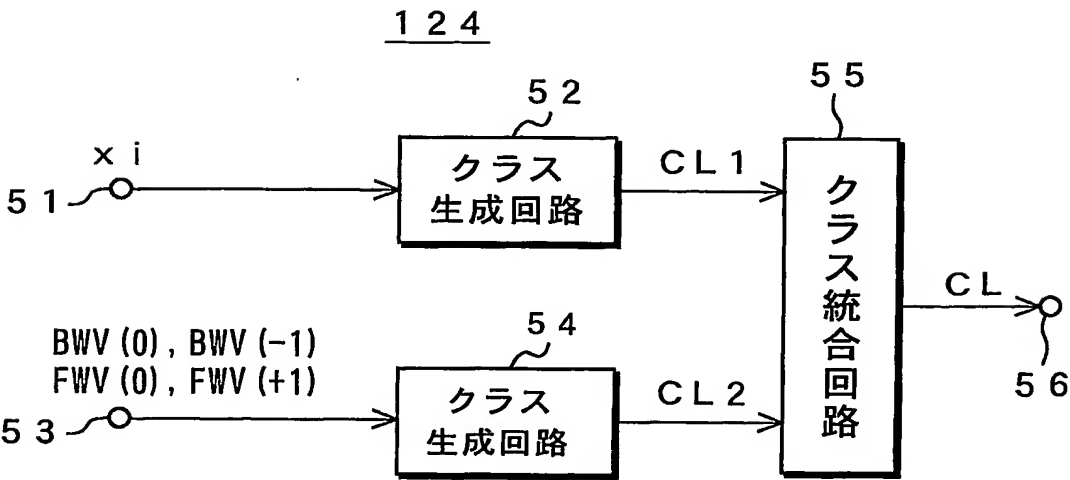


FIG. 6A

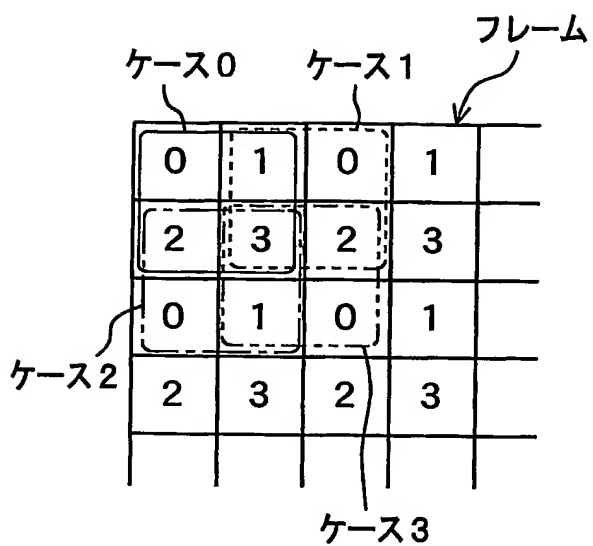
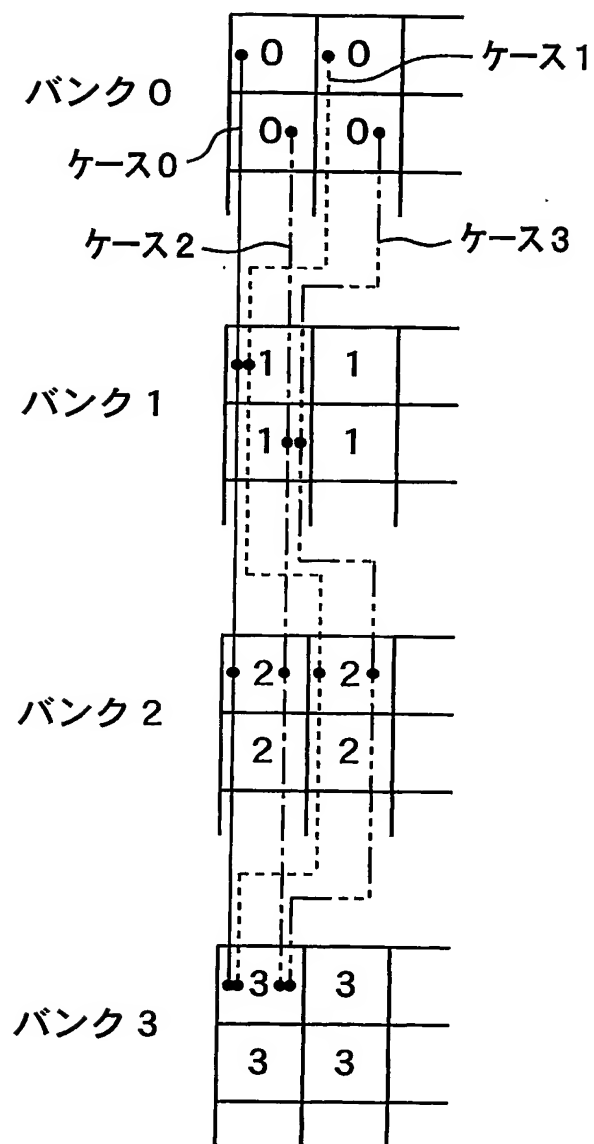


FIG. 6B



7 / 1 2

FIG. 7A
(ケース 0)

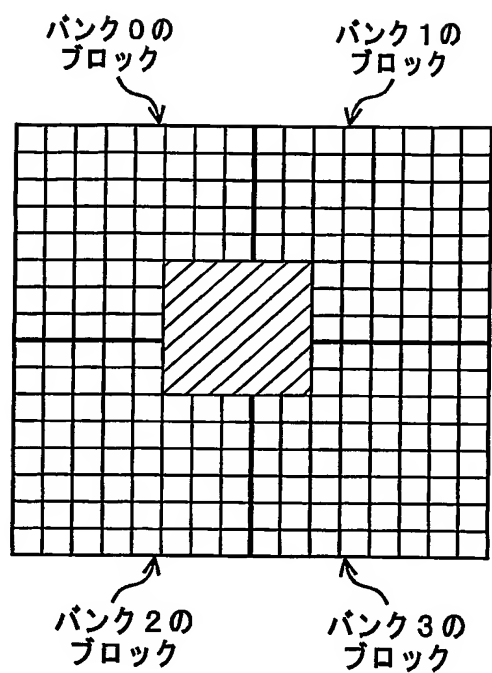


FIG. 7B
(ケース 1)

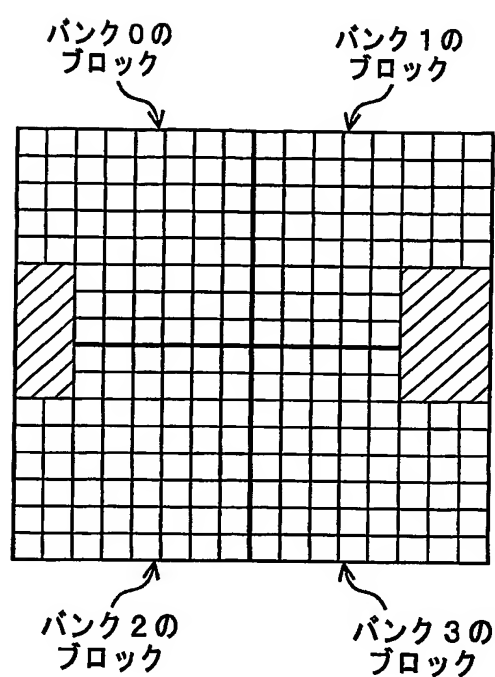


FIG. 7C
(ケース 2)

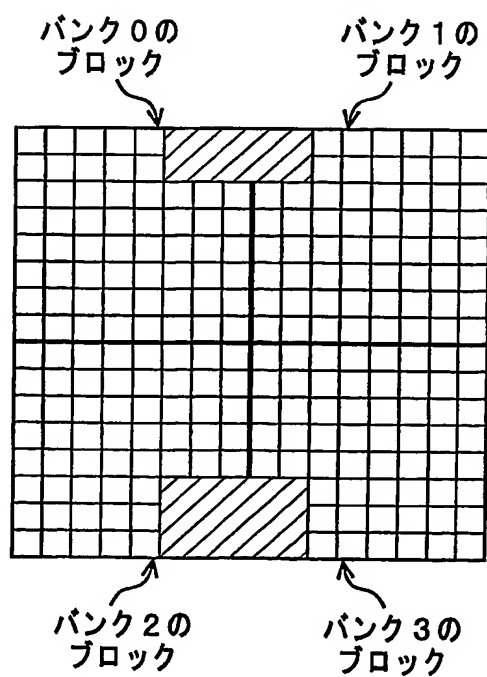
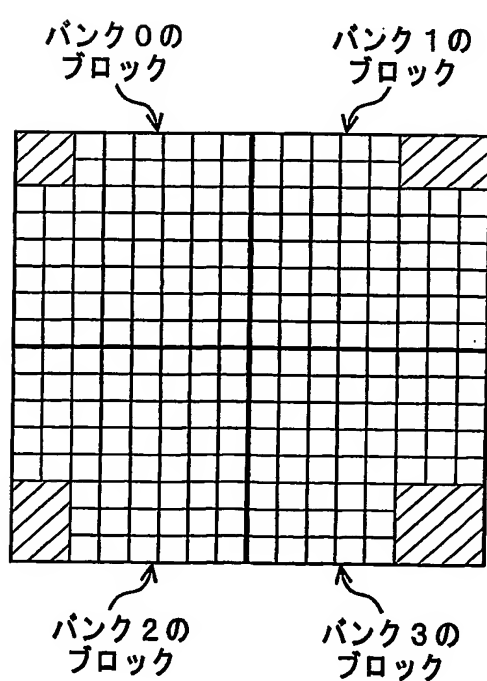


FIG. 7D
(ケース 3)



8 / 1 2

FIG. 8

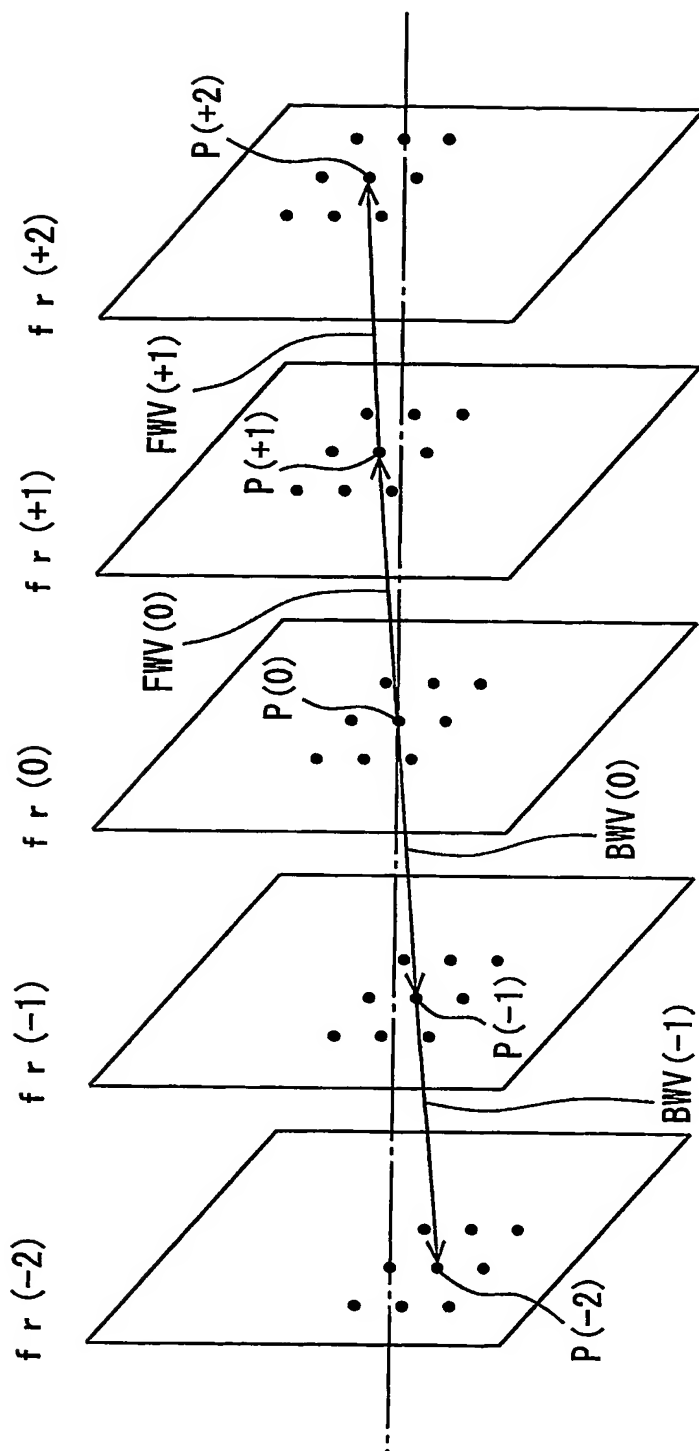


FIG. 10

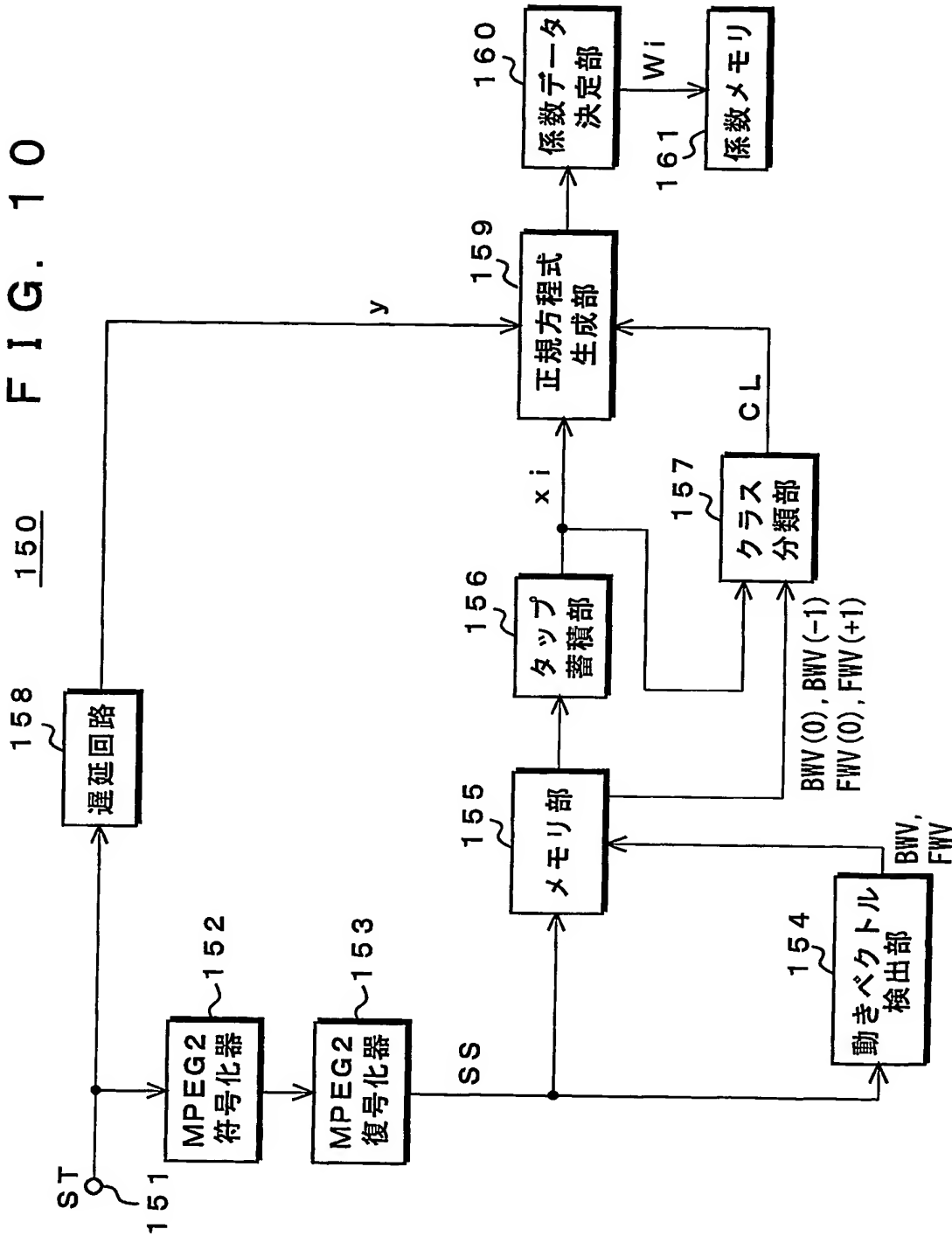
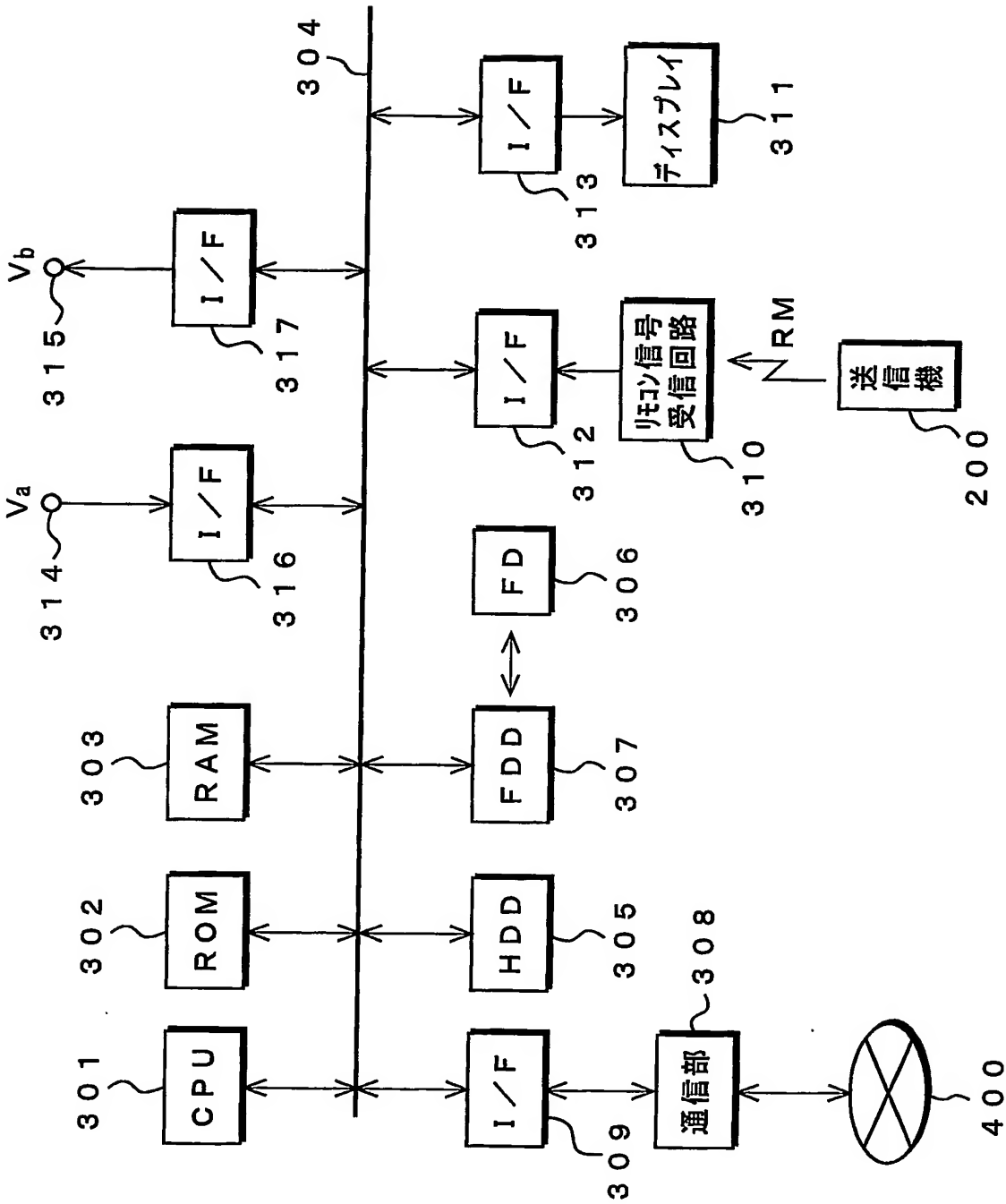


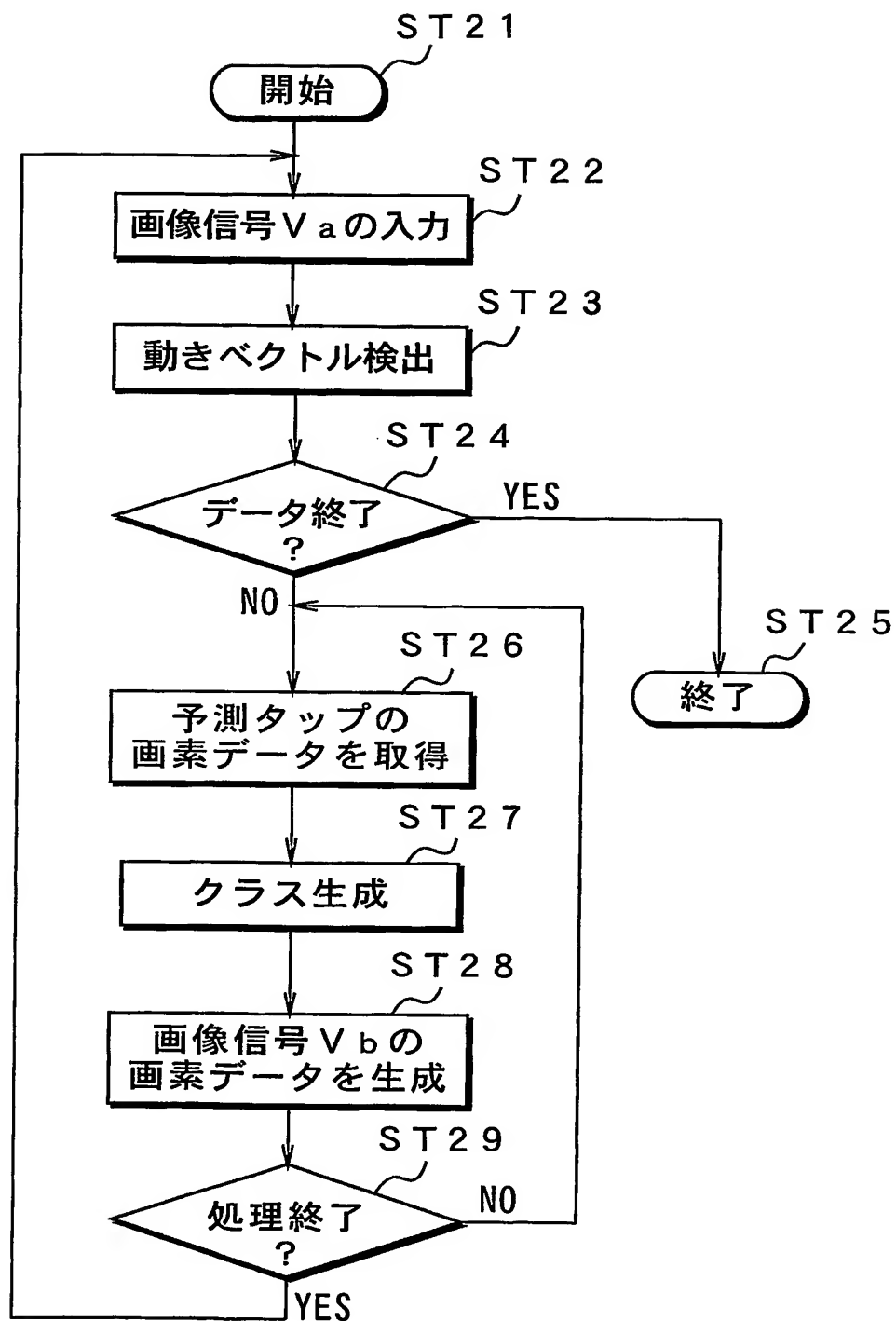
FIG. 11

300



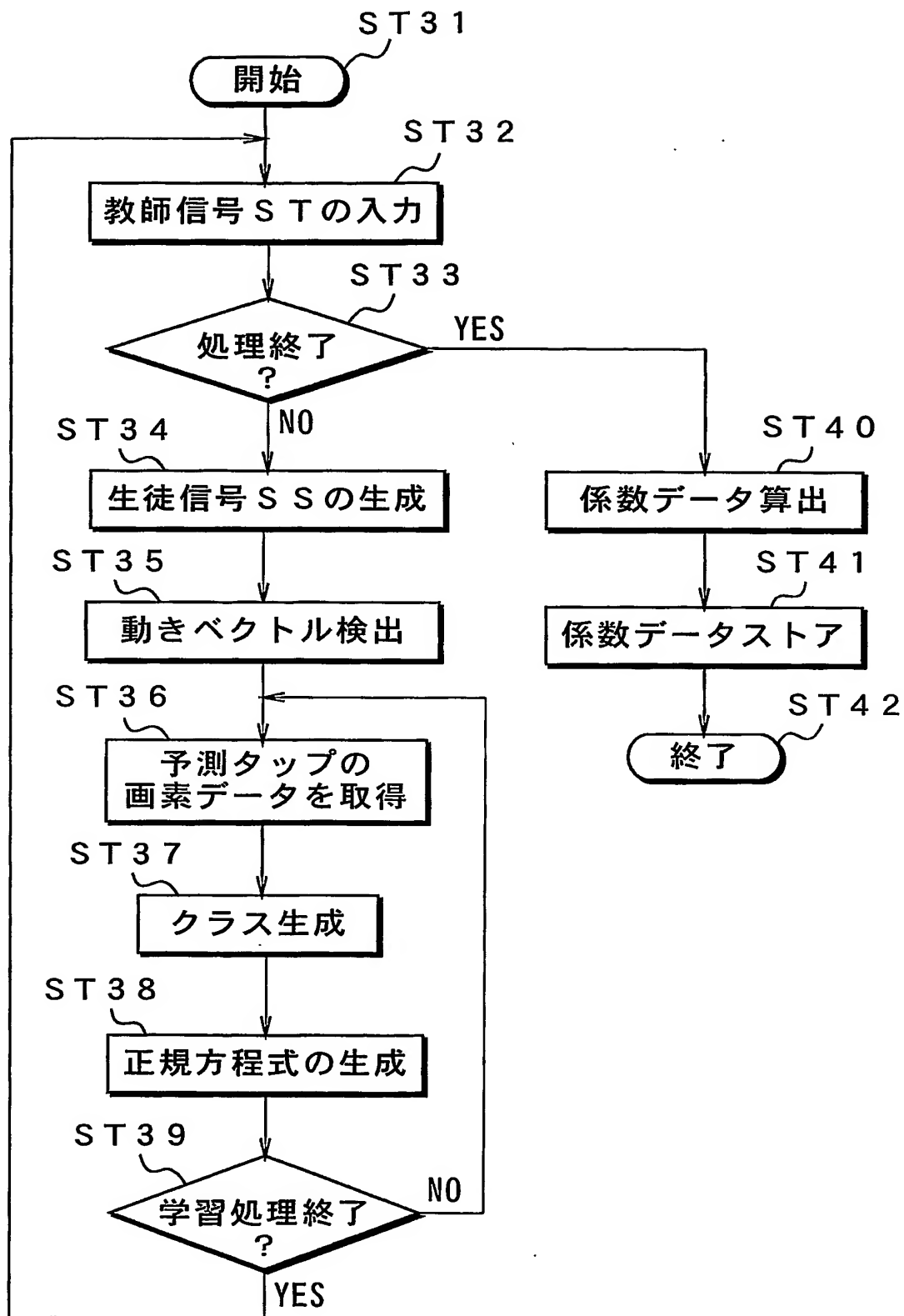
1 1 / 1 2

F I G . 1 2



12 / 12

FIG. 13



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/14321

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N7/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04N7/24-7/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-010256 A (Sony Corp.), 11 January, 2002 (11.01.02), Full text; all drawings (Family: none)	1-11
X	JP 2002-223167 A (Sony Corp.), 09 August, 2002 (09.08.02), Full text; all drawings & WO 02/60069 A1 & US 2003/0152165 A1 & EP 1355428 A1	1-11
X	JP 2002-223374 A (Sony Corp.), 09 August, 2002 (09.08.02), Full text; all drawings & WO 01/97510 A1 & US 2003/0122967 A1 & KR 2002/062274 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search 19 January, 2004 (19.01.04)	Date of mailing of the international search report 03 February, 2004 (03.02.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14321

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-320587 A (Sony Corp.), 16 November, 2001 (16.11.01), Full text; all drawings & WO 01/86820 A & US 2002/0186888 A1 & EP 1282236 A1 & CN 1389019 A & KR 2002/030078 A	1-11
X	JP 2001-320277 A (Sony Corp.), 16 November, 2001 (16.11.01), Full text; all drawings & WO 01/86820 A1 & US 2002/0186888 A1 & EP 1282236 A1 & CN 1389019 A & KR 2002/030078 A	1-11
X	JP 2001-320711 A (Sony Corp.), 16 November, 2001 (16.11.01), Full text; all drawings (Family: none)	1-11
X	JP 2001-285881 A (Sony Corp.), 12 October, 2001 (12.10.01), Full text; all drawings (Family: none)	1-11
X	JP 2001-285864 A (Sony Corp.), 12 October, 2001 (12.10.01), Full text; all drawings (Family: none)	1-11
X	JP 2001-285882 A (Sony Corp.), 12 October, 2001 (12.10.01), Full text; all drawings (Family: none)	1-11
X	JP 2000-324495 A (Sony Corp.), 24 November, 2000 (24.11.00), Full text; all drawings (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04N7/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N7/24-7/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-010256 A(ソニー株式会社), 2002.01.11, 全文, 全図 (ファミリーなし)	1-11
X	JP 2002-223167 A(ソニー株式会社), 2002.08.09, 全文, 全図 & WO 02/60069 A1 & US 2003/0152165 A1 & EP 1355428 A1	1-11
X	JP 2002-223374 A(ソニー株式会社), 2002.08.09, 全文, 全図 & WO 01/97510 A1 & US 2003/0122967 A1 & KR 2002/062274 A	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19.01.2004

国際調査報告の発送日

03.2.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長谷川 素直

5 P

2948

電話番号 03-3581-1101 内線 3581

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-320587 A(ソニー株式会社), 2001.11.16, 全文, 全図 & WO 01/86820 A1 & US 2002/0186888 A1 & EP 1282236 A1 & CN 1389019 A & KR 2002/030078 A	1-11
X	JP 2001-320277 A(ソニー株式会社), 2001.11.16, 全文, 全図 & WO 01/86820 A1 & US 2002/0186888 A1 & EP 1282236 A1 & CN 1389019 A & KR 2002/030078 A	1-11
X	JP 2001-320711 A(ソニー株式会社), 2001.11.16, 全文, 全図 (ファミリーなし)	1-11
X	JP 2001-285881 A(ソニー株式会社), 2001.10.12, 全文, 全図 (ファミリーなし)	1-11
X	JP 2001-285864 A(ソニー株式会社), 2001.10.12, 全文, 全図 (ファミリーなし).	1-11
X	JP 2001-285882 A(ソニー株式会社), 2001.10.12, 全文, 全図 (ファミリーなし)	1-11
X	JP 2000-324495 A(ソニー株式会社), 2000.11.24, 全文, 全図 (ファミリーなし)	1-11